

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-316233

(43)Date of publication of application : 29.11.1996

(51)Int.Cl.

H01L 21/3205  
H01L 21/28  
H01L 21/31  
// H01L 21/203

(21)Application number : 07-178053

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.06.1995

(72)Inventor : HASUNUMA MASAHIKO

ITOU SACHIYO

SHIMAMURA KEIZO

KANEKO HISAFUMI

HAYASAKA NOBUO

TSUTSUMI JUNSEI

KAJITA AKIHIRO

WADA JUNICHI

OKANO HARUO

(30)Priority

Priority number : 06162801  
07 79749Priority date : 21.06.1994  
10.03.1995

Priority country : JP

JP

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

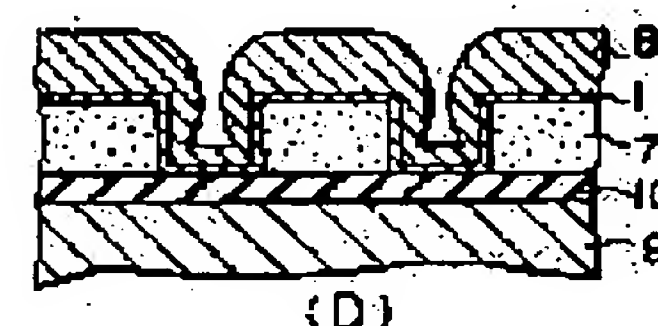
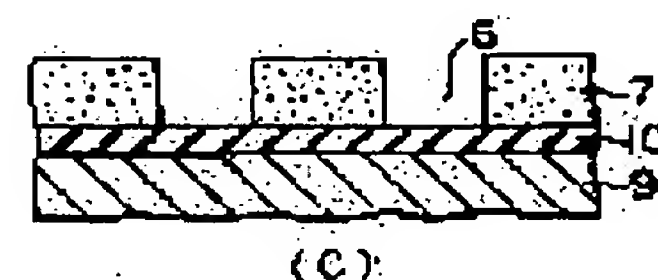
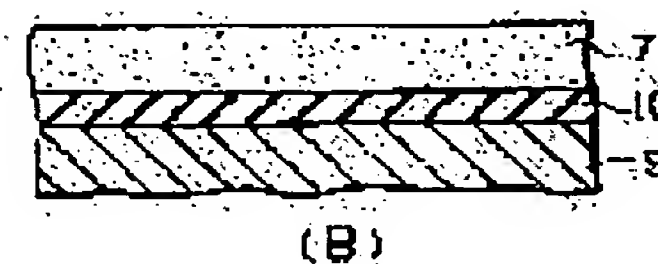
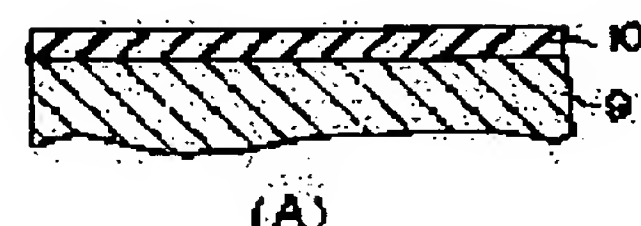
PURPOSE: To form a buried interconnection which is dense and whose reliability is high by a method wherein a heating treatment is executed in such a way that a groove or a contact hole is filled by the reflow of a conductive film, the conductive film in parts other than an electrode-interconnection formation region is then polished and removed and an electrode is formed.

CONSTITUTION: When an electrode interconnection is formed on a semiconductor substrate, a conductive film 8 which is composed mainly of Cu, Ag or the like is formed on a semiconductor substrate face 9 in which a groove 6 and a contact hole are formed in advance in a region in which the electrode interconnection is to be formed, a heat treatment is executed while an oxidizing gas is being supplied, and the groove 6 and the contact hole are filled by the reflow of the conductive film 8.

Then, the conductive film 8 other than that is polished and removed, and the electrode interconnection is formed. In addition, in a heating treatment, a reducing

gas is supplied in addition to an oxidizing gas, and the conductive film 8 is made to flow or

reflow by using a local oxidation-reduction reaction so as to be buried.



---

**LEGAL STATUS**

[Date of request for examination] 14.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3337876

[Date of registration] 09.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316233

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3205		H 0 1 L 21/88	B
	21/28		21/28	L
	21/31		21/31	B
// H 0 1 L	21/203		21/203	S
			21/88	M
審査請求 未請求 請求項の数13 F D (全 37 頁)				

(21) 出願番号 特願平7-178053

(22) 出願日 平成7年(1995)6月21日

(31) 優先権主張番号 特願平6-162801

(32) 優先日 平6(1994)6月21日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-79749

(32) 優先日 平7(1995)3月10日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 蓮沼 正彦

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 伊藤 祥代

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 島村 慶三

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 須山 佐一

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

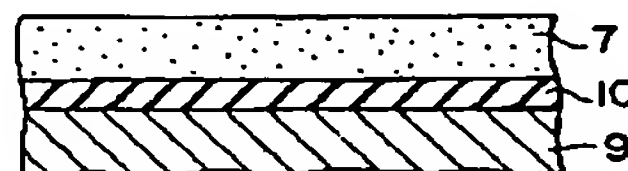
(57) 【要約】 (修正有)

【目的】 電極配線領域をなす溝、コンタクトホールに、導電膜をリフローさせて埋め込み配線を形成し、緻密で信頼性の高い配線を形成できる半導体装置の製造方法。

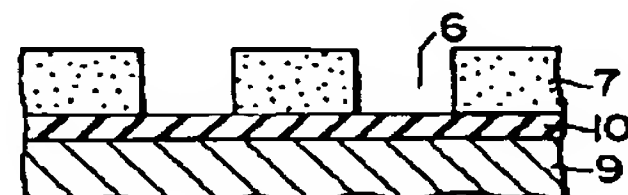
【構成】 半導体基板に電極配線を形成する際に、電極配線を形成すべき領域に予め溝やコンタクトホールを形成した半導体基板面上に、Cu、Ag等を主体とする導電膜を成膜し酸化性ガスを供給しながら加熱処理し、導電膜のリフローによって溝とコンタクトホールを充填し、それ以外の導電膜を研磨により除去して電極配線を形成する。また加熱処理にあたり、酸化性ガスに加えて還元性ガスを供給し、局所的な酸化還元反応を用いて導電膜を流動および／またはリフローさせ、埋め込みを行う。



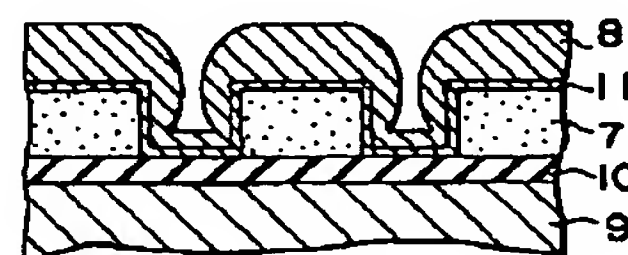
(A)



(B)



(C)



(D)

【特許請求の範囲】

【請求項 1】 半導体基板上に電極配線を形成する半導体装置の製造方法において、半導体基板上の電極配線を形成すべき領域に、溝およびコンタクトホールを形成し、前記溝およびコンタクトホールを形成した半導体基板上に Cu、Ag および Au の少なくとも 1 種を主体とする導電膜を成膜し、少なくとも酸化性ガスを供給しながら前記導電膜がリフローして前記溝および／またはコンタクトホールが充填されるように加熱処理し、および電極配線を形成すべき領域以外の導電膜を研磨により除去して電極配線を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 前記加熱処理工程では、酸化性ガスおよび還元性ガスを供給することを特徴とする請求項 1 記載の方法。

【請求項 3】 前記溝およびコンタクトホールを形成した半導体基板上に、Cu、Ag および Au の少なくとも 1 種を主体とする導電膜を成膜する工程は、酸化物が導電性を有する物質からなる第一の導電膜を下地膜として前記半導体基板上に形成する工程を含むことを特徴とする請求項 1 または 2 項記載の方法。

【請求項 4】 半導体基板上に電極配線を形成する半導体装置の製造方法において、半導体基板上の電極配線を形成すべき領域に、溝およびコンタクトホールを形成し、前記溝およびコンタクトホールを形成した半導体基板上に導電膜を成膜し、前記導電膜を有する半導体基板面に上方から導電膜に一軸応力を付加し、前記導電膜がリフローして前記溝および／またはコンタクトホールに充填されるように加熱処理を施し、および電極配線を形成すべき領域以外の導電膜を研磨により除去し電極配線を形成することを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板上に電極配線を形成する半導体装置の製造方法において、半導体基板上の電極配線を形成すべき領域に、溝およびコンタクトホールを形成し、前記溝およびコンタクトホールを形成した半導体基板上に、Cu を主体とする導電膜および Ag を主体とする導電膜を積層成膜し、前記導電膜がリフローして前記溝および／またはコンタクトホールが充填されるように加熱処理し、および電極配線を形成すべき領域以外の導電膜を研磨により除去して電極配線を形成することを特徴とする半導体装置の製造方法。

【請求項 6】 半導体基板上に電極配線を形成する半導体装置の製造方法において、半導体基板上の電極配線を形成すべき領域に、溝および

コンタクトホールを形成し、前記溝およびコンタクトホールを形成した半導体基板上に導電膜を成膜し、前記溝およびコンタクトホール上の近傍に位置する導電膜の一部を膜表面から除去し、残りの導電膜がリフローして前記溝および／またはコンタクトホールが充填されるように加熱処理し、および電極配線を形成すべき領域以外の導電膜を研磨により除去して電極配線を形成することを特徴とする半導体装置の製造方法。

【請求項 7】 前記加熱処理工程では、酸化性ガスおよび還元性ガスを供給することを特徴とする請求項 6 記載の方法。

【請求項 8】 半導体基板上に電極配線を形成する半導体装置の製造方法において、半導体基板上の電極配線を形成すべき領域に、溝およびコンタクトホールを形成し、前記溝およびコンタクトホールを形成した半導体基板を加熱するとともに、少なくとも酸化性ガスを供給しながら、Cu、Ag および Au の少なくとも 1 種を前記溝および／またはコンタクトホール内に流動させ、Cu、Ag および Au の少なくとも 1 種を主体とする導電膜を成膜し、および電極配線を形成すべき領域以外の導電膜を研磨により除去して電極配線を形成することを特徴とする半導体装置の製造方法。

【請求項 9】 前記導電膜の成膜工程で、酸化性ガスおよび還元性ガスを供給することを特徴とする請求項 8 記載の方法。

【請求項 10】 前記前記溝およびコンタクトホールを形成した半導体基板上に、Cu、Ag および Au の少なくとも 1 種を主体とする導電膜を成膜する工程は、酸化物が導電性を有する物質からなる第一の導電膜を下地膜として前記半導体基板上に形成する工程を含むことを特徴とする請求項 8 または 9 記載の方法。

【請求項 11】 半導体基板上に電極配線を形成する半導体装置の製造方法において、半導体基板上の電極配線を形成すべき領域に、溝およびコンタクトホールを形成し、前記溝およびコンタクトホールを形成した半導体基板上に、酸素を含有する Cu、Ag もしくは Au を主体とする膜、または Cu、Ag もしくは Au の酸化膜を形成し、前記膜を形成した半導体基板を加熱するとともに、Cu、Ag および Au の少なくとも 1 種を前記溝および／またはコンタクトホール内に流動させて、Cu、Ag および Au の少なくとも 1 種を主体とする導電膜を成膜し、および電極配線を形成すべき領域以外の導電膜を研磨により除去して電極配線を形成することを特徴とする半導体装置の製造方法。



【請求項12】 前記導電膜の成膜工程で、酸化性ガスおよび還元性ガスを供給することを特徴とする請求項1記載の方法。

【請求項13】 半導体基板上に電極配線を形成する半導体装置の製造方法において、半導体基板上に絶縁膜および炭素膜を順次積層し、半導体基板上の電極配線を形成すべき領域に、溝およびコンタクトホールを少なくともいずれかを形設し、前記溝およびコンタクトホールを少なくともいずれかが形設された半導体基板面に、導電膜を形成し、前記溝および／またはコンタクトホールに充填された電極配線を形成すべき領域の導電膜以外の導電膜を研磨により除去して電極配線を形成し、および前記炭素膜を酸化性ガスおよび還元性ガスの混合雰囲気の中で除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電極配線を半導体基板上に備えた半導体装置の製造方法に係り、さらに詳しくは、信頼性の高い電極配線を備えたSi半導体装置もしくは化合物半導体装置に適する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置、たとえば論理デバイスに代表されるような集積回路装置（集積回路素子）においては、高集積度化が著しく進み、またこの高集積度化に伴って、各能動素子間を電氣的に結合する配線の微細化も必然的に要求されている。そして、この微細配線については、高い電流密度および動作温度も要求されるため、エレクトロマイグレーション耐性の高い材料で配線を形成することなどにより、半導体装置の信頼性を向上することが図られている。

【0003】また、この種の半導体装置においては、動作速度の高速化も要求されており、この動作速度の高速化では、RC遅延が大きな問題となっている。このRC遅延問題の解決策としては、パッシベーション膜の低誘電率化、および配線材料の低抵抗化が必須となる。このような要求に対応する配線材料としては、AlもしくはAl合金、さらにはAlより電気抵抗が低く、かつ拡散の活性化エネルギーがAl以上のCu、Agなどが知られている。

【0004】一方、前記電極配線の微細化には、その加工手段として、一般的にRIE(Reactive Ion Etching)法やイオンミリング法などが知られている。しかしながら、たとえばAl配線においては、加工プロセスでのリソグラフィにおける光の反射による滲みの発生問題、RIEにおける析出物や粒界の存在に起因する加工の不均一性などの問題がある。そして、これらの問題によって、配線形状が悪化して配線信頼性の劣化を招来するという不都合に直面している。

【0005】また、Cu配線の場合においては、たとえば

RIE法で加工しようとしても、Cuの塩化物やフッ化物は蒸気圧が低いため実施困難である。つまり、被加工体である半導体基板の温度を高温化し、塩化物、フッ化物などの蒸気圧を上げようとする、塩化反応、フッ化反応も促進され、その塩化反応やフッ化反応が配線内部まで進む。しかし、これらの反応に対応し得るレジスト材も存在しないので、結果的に電極配線の微細加工が達成できない状況にある。

【0006】さらに、イオンミリングによる物理的加工方法の場合は、イオンダメージにより、加工後のマスク材の剥離・除去が困難であること、ミリングされた原子の再付着によって電極配線間の短絡を生じ易いなどの問題がある。

【0007】前記半導体装置の製造工程での配線加工方法に対し、近年、埋め込み配線方式が注目され、主流化しつつある。すなわち、CMP(Chemical Mechanical Polishing)技術の発達により、埋め込み配線という形で、所要の電極配線を形成することが可能となって、AlやCuを素材とした電極配線の形成が行われている。この方法では、配線用金属の成膜に先立って、能動領域などを設けた半導体基板、たとえばSi基板の能動領域形成面上に絶縁膜（層間膜）を設け、この絶縁膜の電極配線を形成すべき領域に予め溝を加工（形設）する。

【0008】次いで、前記溝付けなどの加工を施した面に、配線用金属を通常のスパッタ、コリメーションスパッタ（異方性スパッタ）、もしくはCVDなどの方法により成膜する。その後、加熱処理を加えることによって、前記堆積（成膜）した金属をリフローさせ、溝などを埋め込んでから、CMPによって不要な金属膜を取り除き、所要の電極配線を形成する。

【0009】このとき、能動部あるいは下層電極との接続についても、絶縁膜に形設されたコンタクトホールに予めもしくは配線形成時に、金属を埋め込むことによって行われており、また、一般的に電極配線用金属膜形成前には、バリアメタルが形成される。

【0010】なお、配線用金属をリフローさせ、溝内を充填せしめるための加熱処理は、(1)金属膜成膜後、高真空に保ったまま行うか、(2)特にCuやAgの成膜後、一度大気圧に解放した場合は、酸化物の平衡解離圧以下の真空、もしくは高真空に熱処理チャンバーを排気した後、水素気流中で加熱処理を行うか、もしくは(3)大気圧熱処理の場合、高純度のフォーミングガス（ $N_2$  および  $H_2$  の混合ガスで、通常  $H_2$  濃度は10~20%）中で行う。

【0011】つまり、いずれの場合も、酸化性ガスを極力排除した雰囲気中か、還元性ガス雰囲気中で加熱処理が行われている。

【0012】ここで、前記リフロー熱処理に当たって、2つの問題点がある。

【0013】第1には、図25(A)に模式的に示すよう

に、たとえば溝1内の初期堆積量を増やすため、通常金属膜は、溝1の深さ×1.5～2.0倍の堆積量に成膜される。このため、リフロー熱処理過程で、溝1間スペース2a上の対向する堆積膜(金属膜)3b面が接触してブリッジ3aが発生し、図25(B)に模式的に示すように、前記溝1内に空孔4が形成・残存してリフローを阻害する。なお、図において、2, 5はSiO<sub>2</sub>膜、SiN膜などの絶縁膜である。

【0014】この点さらに言及すると、前記配線用金属をスパッタもしくは真空蒸着などの物理的蒸着で堆積する場合、飛来粒子の入射方向がコサイン分布を採るため、その斜め入射成分により溝1間スペース2a上の堆積が溝1方向へ成長して、オーバーハングした部分3bが発生し、溝1内への堆積を阻害する。このようにオーバーハングした部分3bが成長した状態で熱処理を行うと、熱膨張などによって隣同士が接触して、この接触部分の成長(ネッキング)が進み、ブリッジ3aと称するスペース2a間の連結が進行する。このスペース2a間の連結進行に伴って、いわゆるブリッジ領域下には初期空間が残留し、この空洞は通常の熱処理では埋没できないので、その後のCMPで配線加工したとき、配線内に空洞が残留した形態を採ることになる。

【0015】第2には、図26(A)に模式的に示すように、前記のようなブリッジ3aが発生しなくても、リフロー熱処理過程で、図26Bに模式的に示すように、溝1内の堆積物が溝1間スペース2a上に吸い上げられ、溝1内に空孔4が生じて、配線の信頼性低下もしくは断線が発生するという問題がある。すなわち、この場合、熱処理を行うことによって、図26(A)に模式的に示すように、表面曲率半径差に起因する表面拡散で、一旦溝1内へ堆積する金属の移動が進行する。しかしながら、この段階では、エネルギー的に準安定な状態にあるので、表面、界面エネルギー減少を駆動力とした堆積膜3の移動がさらに進められる。そして、このときの堆積膜3の移動方向はスペース2a上の堆積量と溝1内の堆積量の関係で決まり、単純に球で仮定すると粒径の4～3乗に逆比例して反応が進行する。つまり、図26(B)に模式的に示すように、堆積量の少ない方向から堆積量の多い方向へ、金属膜の移動が起こる。さらに、配線用金属を通常のスバッタで堆積させると、極端な場合リフロー熱処理を行う前に、スペース2a間で堆積膜の連結が発生し、溝1内に空孔4が生じることもある。

【0016】図27(A), 27(B)および27(C)は従来の加熱スパッタリング法において、溝1内に配線用金属としてCuが埋め込まれる状態を模式的に示したものである。一般的に配線用金属のスバッタは、金属の酸化による抵抗値の増加を防ぐため、Arガスなどの不活性雰囲気で行われる。このとき、溝1を設けたSi基板面に対するスパッタでは、平坦部に比べて溝内部の堆積速度が遅くなる。すなわち、段差の付いている溝1底部では、

スパッタ粒子が入射し得る角度範囲(見込み角)が、平坦部に比べて狭まっているからである。

【0017】ここで、Si基板を加熱しながらスパッタリング法によって成膜を行った場合、図27(A)に示すように、成膜初期には金属は表面エネルギーを低下させるように島状な凝集を起こす。特に、溝1の内壁は堆積速度が遅いために、前記凝集が顕著に起こり易い。そして、溝1内での側壁部凝集が起こると、溝1の開口部における島状金属によって見込み角が減少して、スパッタ粒子の溝1内部への入射が妨げられ、図27(B)に示すように、開口部の島状金属のみが優先的に成長する。この結果、対向する開口部の側壁から、それぞれ優先的に成長した島状金属同士が接触、密着し、溝1内に空孔4を残したままとなって、図27(C)に示すように溝1を堆積膜3で埋め込むことができなくなってしまう。

【0018】上記のように、通常の物理蒸着で成膜を行った場合、スペース2a上で堆積物がオーバーハングした部分3bの影響によって、溝1内の堆積膜厚に比べてスペース2a上の堆積膜厚が大きいので、前記2つの問題を解消し得ない。また、前記溝1内の堆積量を増やす方法として異方性成膜もあるが、これでは成膜効率が劣るうえ、溝側壁膜厚が薄いため、熱処理を加えたとき凝集によって段切れを生じ、スペース2a上から溝1内への堆積金属の移動が阻害されるという問題がある。

【0019】さらに、前記CMP技術を用いた埋め込み配線の形成においては、配線状の溝を精度よく形設することが要求される。したがって、フォトリソグラフィプロセスの際、下層材料からの光の乱反射によって、レジストの露光が乱されることを防止する必要性があり、前記乱反射を防止するために、反射率の低いTiN層が光反射防止膜として、電極配線用金属膜に先だって形成される。また、TiN層は、Cuのように絶縁体に拡散し易い配線用金属に対する拡散バリアとしても用いられている。ところで、前記TiNは導電体であるため、たとえばCu配線を形成した後は、不要部分のTiNを除去しなければならない。しかし、配線用金属であるCuが耐酸性に乏しく、酸性溶液によってエッチング除去を行うことが困難であるため、前記CMP技術で一括的に除去することが望まれている。

【0020】一方、前記埋め込み配線方式による配線の形成では、CMP工程で不要な金属膜をポリッシングして除去するとき、下層材料を過度にポリッシングしないことが望まれる。しかし、前記TiN膜は硬いため、下層材料を過度にポリッシングせずに除去するには、TiN膜よりもポリッシング速度の遅い絶縁性の下層を設ける必要がある。この材料の選択などに多くの困難を伴ったり、工程数の増加など招来する。

【0021】このような問題に対して、TiN膜よりも反射率が低く、ポリッシング速度も遅いC(カーボン)膜の使用が検討されている。すなわち、C膜を反射防止膜



とすることによって、光の乱反射によるレジストパターンの精度低下を抑制するだけでなく、TiN膜のポリッシング停止膜としての機能があるからである。これによって、前記下層材料の過度なポリッシングを回避しながらTiN膜の除去は可能となるが、C膜の除去を要する。そして、このC膜の除去は、たとえば酸素プラズマ中で除去し得るが、酸素プラズマにさらされたCu配線などが基板の温度上昇に伴って酸化され、配線の変形や抵抗値の増大を招来する傾向がある。

【0022】

【発明が解決しようとする課題】前記CMP技術を利用する電極配線の形成方法は、半導体装置の製造において、多くの関心を持たれているが、なお、実用上いくつかの問題がある。たとえば、Cuを素材として電極配線を形成する場合は、リフロー熱処理過程などで下地の絶縁膜などを通過して、たとえばSi基板にまで到達し、半導体特性の劣化が起こるという問題が挙げられる。このような問題に対して、バリヤーメタルもしくは層間膜を利用して、CuがSi基板に拡散するのを防ぐ方式も採られている。しかし、現段階では十分なバリヤーが存在しないため、結果的にやはりリフロー温度に制約がかかり、十分なリフロー温度を確保し得ない状況にある。特に、通常のスパッタによって形成した金属膜をリフローさせるには、たとえば高真空中で750℃、10分以上の熱処理が必要となるので、前記電極配線金属の拡散による半導体特性の劣化は由々しい問題といえる。

【0023】この対策の一つとして、スパッタ粒子の直進成分を利用し、半導体基板に対する入射角度の高角度成分を除去して、成膜段階での溝内埋め込みを高めることが可能なコーメーションスパッタも試みられている。しかし、このコーメーションスパッタは、スパッタ粒子の直進成分の利用であるため、成膜効率が通常のスパッタ成膜に比べ一桁近く低く、生産性もしくは量産性などの点で問題がある。

【0024】また、他の電極配線の形成方法として、選択CVD (Chemical Vapor Deposition)による溝埋め込み手段の利用もあるが、いずれの場合も技術的にまだ未解決な問題があるうえ、コストも高いなどの問題がある。

【0025】本発明は上記事情に対処してなされたもので、一般的な成膜方法で形成した導電膜を比較的低温度でリフローさせることにより、電極配線形成領域を成す溝、コンタクトホールに十分に埋め込み、結果として半導体特性の劣化を招来することなく、電極配線を容易に形成することができる半導体装置の製造方法を提供することを目的とする。

【0026】また、本発明は電極配線形成領域を成す溝、コンタクトホールに、導電膜をリフローさせることで埋め込み配線を形成するに当たって、緻密な信頼性の高い埋め込み配線を形成できる半導体装置の製造方法を提供することを目的とする。

【0027】さらに、本発明は電極配線形成領域を成すアスペクト比の高い溝、コンタクトホールに、緻密で信頼性の高い埋め込み配線を形成することが可能な半導体装置の製造方法を提供することを目的とする。

【0028】

【課題を解決するための手段及び作用】本発明に係る第1の半導体装置の製造方法は、半導体基板上に電極配線を形成する半導体装置の製造方法において、電極配線形成領域に予め溝およびコンタクトホールの少なくともいずれかを形成した半導体基板上に、Cu、AgおよびAuの少なくとも1種を主体とする導電膜を成膜し、少なくとも酸化性ガスを供給しながら前記導電膜がリフローして、導電膜のリフローによって前記溝および／またはコンタクトホールに充填されるように加熱処理を施した後、電極配線形成領域以外の導電膜を研磨により除去して電極配線の形成を行うことを特徴とする。

【0029】また、本発明に係る第1の半導体装置の製造方法では、加熱処理の工程において、前記酸化性ガスおよび還元性ガスの両方を供給することにより導電膜をリフローさせることも本発明の製造方法に係る特徴の一つである。

【0030】さらにまた、本発明に係る第1の発明においては、前記酸化性ガスの分圧が、導電膜の酸化の平衡分圧より小さいことも一つの特徴である。さらに、前記の酸化性ガスの分圧は、 $1 \times 10^{-7}$ から $5 \times 10^{-5}$  Torrの範囲内であることを特徴とする。さらに、本発明に係る第1の半導体装置の製造方法においては、前記のCu、AgおよびAuの少なくとも1種を主体とする導電膜の下地として、酸化物が導電性を有する第一の導電膜を形成し、その上に前記の導電膜を形成することが有効である。

【0031】この際、好ましくは第一の導電膜は半導体基板上に形成されたバリヤー層を介して形成される。前記第一の導電膜を形成する物質は、前記酸化性ガスによる酸化反応におけるギブスの自由エネルギー変化量が負で、また絶対値が前記バリヤー層の酸化反応におけるギブスの自由エネルギー変化量の絶対値よりも大きい金属が選ばれる。前記第一の導電膜を形成する金属としては、Nd、Ti、Nb、La、Sm、Re、V、Ru、Rh、Os、Ir、Ptの群の中から選ばれた少なくとも1種が挙げられる。とくに、Nd、La、Smは、酸化反応におけるギブスの自由エネルギー変化量の絶対値が、バリヤーとして代表的に使用されているTiNの酸化反応におけるギブスの自由エネルギー変化量の絶対値より大きく、バリヤー層の酸化を抑制する効果が大いなので、望ましい。

【0032】本発明に係る第2の半導体装置の製造方法は、半導体基板上に電極配線を形成する半導体装置の製造方法において、電極配線形成領域に予め溝およびコンタクトホールの少なくともいずれかを形成した半導体基板上に導電膜を成膜し、導電膜を有する半導体基板面上方から一軸応力を付与し、前記導電膜がリフローして

10

20

30

40

50

前記溝および／またはコンタクトホールを充填するように加熱処理を施した後、電極配線形成領域以外の導電膜を研磨により除去して電極配線の形成を行うことを特徴とする。

【0033】本発明に係る第3の半導体装置の製造方法は、半導体基板上に電極配線を形成する半導体装置の製造方法において、電極配線形成領域に予め溝およびコンタクトホールの少なくともいずれかを形設した半導体基板上にCuを主体とする膜およびAgを主体とする膜を積層成膜し、得られた導電膜に加熱処理を施し導電膜をリフ

ローさせ、導電膜のリフローによって前記溝および／またはコンタクトホールに充填し、充填された電極配線形成領域以外の導電膜を研磨により除去して電極配線の形成を行うことを特徴とする。

【0034】本発明に係る第4の半導体装置の製造方法は、半導体基板上に電極配線を形成する半導体装置の製造方法において、電極配線形成領域に予め溝およびコンタクトホールの少なくともいずれかを形設した半導体基板上に導電膜を成膜し、少なくとも前記溝および／またはコンタクトホール上近傍に位置する導電膜の厚さが薄

くなるように一部を表面から除去し、加熱処理を施し、残余の導電膜をリフローさせて、前記溝および／またはコンタクトホールに充填し、充填された電極配線形成領域以外の導電膜を研磨により除去して電極配線の形成を行うことを特徴とする。

【0035】また本発明に係る第4の半導体装置の製造方法は、前記の加熱処理工程において酸化性ガスおよび還元性ガスを供給することにより、さらに特徴づけられる。本発明に係る第5の半導体装置の製造方法は、半導体基板上に電極配線を形成する半導体装置の製造方法において、電極配線形成領域に予め溝およびコンタクトホールの少なくともいずれかを形設した半導体基板を加熱するとともに、少なくとも酸化性ガスを供給しながらCu, AgおよびAuの少なくとも1種を、前記溝および／またはコンタクトホール内に流動させてCu, AgおよびAuの少なくとも1種を主体とする導電膜を成膜した後、前記溝および／またはコンタクトホールに充填された電極配線形成領域以外の導電膜を研磨により除去して電極配線の形成を行うことを特徴とする。

【0036】さらに、本発明に係る第5の半導体装置の製造方法は、加熱処理による成膜工程において、酸化性ガスおよび還元性ガスを供給することにより特徴づけられる。

【0037】また、本発明に係る第5の半導体装置の製造方法は、前記の成膜工程において、電極配線用の導電膜の成膜工程の前半は半導体基板表面で酸化性ガス分圧が、酸化性ガス分圧と還元性ガス分圧との平衡分圧よりも大きくなるように、また成膜工程後半は半導体基板表面で還元性ガス分圧が、酸化性ガス分圧と還元性ガス分圧との平衡分圧よりも大きくなるように、還元性ガスお

よび酸化性ガスの供給量をそれぞれ制御することにより特徴づけられる。

【0038】さらにまた、本発明に係る第5の半導体装置の製造方法においては、前記酸化性ガスの分圧が、導電膜の酸化の平衡分圧より小さいことも一つの特徴である。さらに、前記の酸化性ガスの分圧は、 $1 \times 10^{-7}$ から $5 \times 10^{-5}$  Torrの範囲内であることを特徴とする。本発明に係る第5の半導体装置の製造方法においては、前記のCu, AgおよびAuの少なくとも1種を主体とする導電膜の下地として、酸化物が導電性を有する第一の導電膜を形成し、その上に前記の導電膜を形成することが有効である。

【0039】この際、好ましくは第一の導電膜が、半導体基板上に形成されたバリヤー層を介して形成されており、第1の製造方法の場合と同様に、第一の導電膜を形成する物質は、前記酸化性ガスによる酸化反応におけるギブスの自由エネルギー変化量が負で、また絶対値が前記バリヤー層の酸化反応におけるギブスの自由エネルギー変化量の絶対値よりも大きい金属が選ばれる。

【0040】具体的に前記の第一の金属としては、Ti, V, Cr, Ni, Nb, Mo, Ru, Rh, Pd, Sb, La, W, Re, Os, Ir, Pt, Tl, Pb, Bi, Nd, Sm, Erの群の中から選ばれた少なくとも1種が挙げられ、特に、La, Nd およびSmの群から選ばれた少なくとも1種が好ましい。

【0041】本発明に係る第6の半導体装置の製造方法は、半導体基板上に電極配線を形成する半導体装置の製造方法において、電極配線形成領域に予め溝およびコンタクトホールの少なくともいずれかを形設した半導体基板上に酸素を含有するCu, AgもしくはAuを主体とする膜、あるいはCu, AgもしくはAuの酸化膜を形成してから、前記半導体基板を加熱するとともに、Cu, AgおよびAuの少なくとも1種を、前記溝および／またはコンタクトホール内に流動させて、Cu, AgおよびAuの少なくとも1種を主体とする導電膜を成膜した後、前記溝および／またはコンタクトホールに充填された電極形成領域以外の導電膜を研磨により除去して電極配線の形成を行うことを特徴とする。

【0042】なお、ここでの酸素を含有する金属膜もしくは酸化膜は、成膜時に既に酸素を含有している形態、もしくは金属膜を酸化させた形態のいずれで形成されていてもよい。

【0043】さらに本発明に係る第6の半導体装置の製造方法は、酸化性ガスおよび還元性ガスを供給しながら導電膜を成膜することにより特徴づけられる。

【0044】本発明に係る第7の半導体装置の製造方法は、半導体基板上に電極配線を形成する半導体装置の製造方法において、半導体基板上に絶縁膜および炭素膜を順次積層し、電極配線形成領域に溝もしくはコンタクトホールの少なくともいずれかを形設した面に導電膜を成膜した後、前記溝もしくはコンタクトホールに充填され



た電極配線形成領域の導電膜以外の導電膜を研磨により除去して電極配線の形成を行ってから、前記炭素膜を酸化性ガスおよび還元性ガスの混合雰囲気の中で除去することを特徴とする。

【0045】以下本発明をさらに説明する。

【0046】前記本発明は第1に、一般的なスパッタなどで成膜した導電膜を 600℃以下程度の低温度でリフローさせて、Cuなどの配線用金属の半導体基板への拡散に起因する半導体特性の劣化を抑えながら、高い効率で埋め込み配線を形成する技術の確立を図ったものである。つまり、実験および拡散シミュレーションにより、導電膜のリフローが主に表面拡散により進行すること、さらには、導電膜内の一軸応力が拡散を加速していることを初めて見出し、この知見に基づいて、半導体基板内部へのCuなどの拡散を押さえ、もしくは回避しながら、容易に導電膜をリフローさせて、信頼性の高い電極配線を形成することを骨子としている。

【0047】すなわち、一般に拡散は熱活性化過程であ



ここで、Cu酸化物の還元反応には、たとえば  $\text{H}_2$ 、 $\text{C}$ 、 $\text{H}_2$ 、 $\text{CO}$ などの還元性ガスが1種もしくは2種以上で使用され、これらは一般的に不活性ガスとの混合系で使用しても構わない。そして、前記Cu膜の表面が酸化された場合に還元反応が起こると、酸化物を形成していたCu原子は、解放されたCu表面で、Cuの結晶格子に再配列する。また、このときに、還元反応熱が表面原子に供給され、活性化された表面近傍の原子は、前記還元反応熱によって、実質的には数 100℃程度の温度を上乗せしたと



このように、酸化反応および還元反応の組み合わせによって、半導体基板がたとえば 300℃程度のときでも、局部的にCu表面近傍では十分リフロー温度を確保して、容易かつ短時間に所要のリフローが進行する。したがって、半導体基板へのCuの拡散を抑制、防止した形で、溝をCu膜で容易に埋め込むことが可能となる。また、Ag膜の場合は、表面酸化が  $\text{O}_2$ 、 $\text{H}_2\text{O}$ のいずれで行なわれても、酸化反応は発熱であるため、局部的にAg膜表面近傍では十分なリフロー温度が確保される。

【0053】また、酸化性ガスの単独導入でも、酸化性ガス分圧が熱処理温度において、酸化の平衡分圧より低く（具体的には、 $1 \times 10^{-7}$ から $5 \times 10^{-5}$  Torr 程度）設定されると、Cuを酸化することなく、Cu表面での酸化性ガスの化学吸着（chemi-sorption）および脱離（desorption）反応を進行させることが可能であり、この反応に起因するエネルギーによって表面拡散が加速されリフローが進行する。

【0054】これらの現象はCuに限らずAg, Auなどの触媒作用の強い材料であると特に強く同様の現象が進行する。このとき、酸化性ガスとして  $\text{O}_2$ 、 $\text{CO}_2$ 、 $\text{H}_2\text{O}$ などが望ましく、またこれらの混合ガス中で加熱処理を行

り、温度が高くなるに従い指数関数的に進行する。そして、前記溝を形成した半導体基板面においても、成膜された導電膜で起こる物質輸送現象は、温度によって移動速度が決まる。特に、リフロー現象においては、拡散のうち表面拡散が支配的に進行し、また、この表面拡散は表面曲率差（化学ポテンシャル差）に起因する。さらに、表面拡散の移動方向は表面形状（曲率）に、移動速度は温度に左右されるが、その他の要因として導電膜にかかる一軸応力も大きく作用する。

10 【0048】第1の発明の場合は、Cu膜、Ag膜、Au膜の表面拡散によるリフローに当たって、Cu膜、Ag膜、Au膜の面を所要のリフロー温度に上昇させるものである。すなわち、Cu膜の場合、Cuの酸化、還元反応熱を利用するものである。

【0049】先ず還元反応の場合、還元反応に伴う発熱式（1）に従ってCu膜を局部的に所要のリフロー温度に上昇させ表面拡散を進行させる。

【0050】

20※きと同程度の表面拡散が進行して、反応熱が奪われると、表面原子の拡散は半導体基板の温度（環境温度）での拡散に戻ることになる。

【0051】次に、酸化反応の場合、前記Cu膜の表面酸化を  $\text{O}_2$  によって行うときは、発熱反応は下記の

（2）式であり、Cu酸化物とCuとの界面での拡散は促進されるが、 $\text{H}_2\text{O}$ による酸化は吸熱反応であるため、半導体基板側から熱が供給される。

【0052】

30 ってもよい。なお、この反応は成膜中においても同様な効果が得られる。また反応処理後、 $\text{H}_2$ をはじめとした還元性ガス雰囲気に晒すことが望ましい。

【0055】以上のように、酸化性ガス混入量を制御することにより、リフロー温度の低温化が可能となる。

【0056】なお、このようなCu膜は、一般的には純Cuから成るが、前記リフロー温度範囲で還元不可能な元素が添加されていても、総含有量が10原子%以下、好ましくは5原子%以下ならよい。つまり、前記リフロー温度範囲で還元不可能な元素の総含有量が10原子%を超えると、膜表面がこの元素の酸化膜で覆われてリフロー現象が抑制される傾向が認められる。

40 【0057】また、Cu膜の成膜方法は、通常のスパッタリング法、異方性スパッタリング法（コリメーションスパッタリング法、ロングディスタンススパッタリング法）、ヘリコン波スパッタリング法、真空蒸着、ICB蒸着もしくはCVD蒸着などのいずれでもよい。また、前記成膜時のCu膜内の結晶粒径を小さくしておき、熱処理時の結晶粒成長に伴って消失する粒界エネルギーを利用すると、Cu膜のリフローが促進される。つまり、成膜時に半導体基板を液体窒素で冷却すること、あるいは成膜時

に半導体基板にバイアスを印加することにより、結晶粒の微細なCu膜の成膜が可能となり、リフロー効果をさらに上げ得る。ここで、半導体基板に印加するバイアス電圧は-50 V以上が望ましい。また、前記Cu膜は、再結晶促進元素を適宜添加・含有させることにより、その効果がさらに促進される。さらに、前記半導体基板の加熱源もしくは加熱方式としては、たとえば抵抗炉、基板ヒータ加熱、レーザー加熱、イメージ炉加熱などが挙げられるが、低温でも熱伝達の早い基板ヒータ加熱方式が望ましい。

【0058】さらに酸化性ガスおよび還元性ガスの両方を供給する場合は、酸化反応および還元反応を可逆的に行わせるため、酸化性ガスおよび還元性ガスを同時に、あるいは交互に供給しながら熱処理が施される。したがって、成膜されたCu膜を酸化性ガス雰囲気および還元性ガス雰囲気に順次少なくとも1回曝すか、もしくは酸化性ガス-還元性ガス混合雰囲気に少なくとも1回曝す。そして、交互に酸化性ガスおよび還元性ガスの雰囲気に曝す場合は、リフロー温度の低温化、リフローの処理時間の短縮化という点から、切り替え間隔を短縮することが好ましい。なお、この場合、不活性ガスや真空排気時の残留ガスが混在しても支障はない。

【0059】一方、酸化性ガスおよび還元性ガスの混合雰囲気に曝す場合は、酸化反応および還元反応の平衡分圧近傍の領域の混合とする。すなわち、この場合は、酸化性ガスおよび還元性ガスの揺らぎによって、Cu膜表面の部分部分で酸化反応と還元反応とは同時に進行しているが、総合的には両反応が進行していることになる。また、人工的に酸化、還元分圧を変えることが望ましいが、この場合は、前記Cu膜の劣化、Cu膜の凝集および半導体基板全体の温度上昇によるCuの拡散を避けるため、酸化量がCu膜の20%以下となるように、ガス分圧の設定が望まれる。さらに、前記酸化、還元反応によるリフロー後においては、Cu酸化膜を除去するために、最終的に純 $H_2$ などの還元性雰囲気に曝すことが好ましい。

【0060】なお、前記酸化反応および還元反応の雰囲気はプラズマ中でもよく、たとえば酸化性ガスプラズマおよび還元性ガスプラズマを個別もしくは同時にCu膜に曝しても、前記条件設定に準じてリフローを行えば同様の結果が得られる。ここで、プラズマとしては、rf、D、C、ECR、ヘリコン波プラズマなどが好ましい。また、半導体基板にバイアスを印加すると反応が促進されるが、Cu膜のスパッタ現象を考慮すると、印加バイアスは-50 V以下が望ましい。さらに、これらのことはAgやAuの場合も同様である。

【0061】また本発明に係る第1の半導体装置の製造方法において、溝および／またはコンタクトホールが形成された基板面に、酸化物が導電性を示す第一の導電膜を下地として形成し、その上にCuまたはCu合金膜を形成することにより、酸化還元反応を利用したリフロー技術

によりCu埋め込み配線を形成する際、酸化性ガスの存在下における加熱処理において下地膜が酸化されても、接触抵抗の上昇を回避し、高い信頼性を有する半導体装置の提供が可能となる。

【0062】何となれば前述したように、CuまたはCu合金埋め込み配線を、酸化還元反応を利用したリフロー技術によって半導体特性を劣化させずに形成するには、酸化によるバリヤー層あるいは基板表面の抵抗上昇を防ぐ技術が必要である。ここで酸化物の中には、高い伝導性をもつものが存在する。例えば $ReO_3$ 、や $NbO$ などは、 $10 \mu\Omega\text{cm}$ と抵抗が低い。酸化物が導電性を有する物質からなる導電膜をCuまたはCu合金膜の下地膜として形成することにより、酸化性ガスの存在下における加熱処理により下地膜が酸化された場合においても、溝部またはコンタクトホール部における接触抵抗の上昇を回避できる。

【0063】すなわち、酸化還元反応を利用したリフローを行う場合には、加熱処理雰囲気の酸素分圧によっては、酸化反応がCuの下層に存在するバリヤー層や基板表面まで及ぶことがある。ここでは、Cuの下地膜として、酸化された時に良導体酸化物となるような物質からなる導電膜を形成すると、この下地膜が酸化された場合にも酸化されなかった場合にも良好な導電性を保持することができるので、接触抵抗の上昇を回避できる。このとき、下地膜として用いた導電膜は、そのすべてが酸化されて酸化物となっても、その一部のみが酸化され導電性酸化物として存在していても、同様な効果が得られる。なお、下地膜として用いた導電膜を酸化することによってできる導電性酸化物は、化学量論組成から外れても差支えない。また抵抗率としては、 $100 \mu\Omega\text{cm}$ 以下であることが望ましい。

【0064】なお前記導電膜が下地膜として単独で形成されるときには、Cuのバリヤー層としての役割も果たし、基板とCu配線との間に別のバリヤー層を介さない場合でも、Cuの基板中への拡散やCu中に含まれる酸素の基板への拡散を防ぐ。

【0065】さらにこのような化学変化や状態変化を熱力学的に取り扱う場合には、系の状態変化に伴うギブスの自由エネルギーの変化 $\Delta G$ は、その変化が自発的に起こり得るかどうかの指標となる。系の変化に伴う $\Delta G$ の値が0であれば、その変化は可逆変化であり、 $\Delta G < 0$ であれば、その方向への変化が自発的に起こり、逆に $\Delta G > 0$ であれば、その方向の変化は起こり得ないことを示している。

【0066】前記導電膜を形成する材料の酸化反応の変化における $\Delta G$ が、成膜あるいはリフローの際に基板が晒される雰囲気の酸素分圧ならびに温度領域において、負の値を持ち、その絶対値がCuの $\Delta G$ より大きいときには、前記導電膜はCuを還元する作用を有する。この場合には、前記導電膜がCu内に導入された酸素を吸収する役割を果たすため、酸化還元反応を用いたリフローを行う



際に、より高いバリヤー性を示すと共に、還元性ガスを供給せずにCu膜を成膜するときや、たとえばCu膜の酸化量が20%を超えたような場合でも、前記導電膜の還元作用によりCu配線の抵抗上昇および接触抵抗の上昇を防ぐことができる。

【0067】また、前記導電膜とは別の物質からなるバリヤー層の上に前記導電膜を積層させた場合、バリヤー層の酸化を防止することにより、バリヤー層の抵抗の上昇を防ぐことが可能となる。特に、前記導電膜を形成する材料の酸化反応における $\Delta G$ が、リフローの際に基板が晒される雰囲気酸素分圧ならびに温度領域において、負の値を持ち、その絶対値がバリヤー層を構成している材料の $\Delta G$ の絶対値より大きいときには、バリヤー層の酸化よりも導電膜の酸化が優先するため、バリヤー層の酸化を抑制する効果がより顕著に現れる。

【0068】さらに、前記導電膜がこの条件を満たす場合には、バリヤー層の表面に自然酸化膜が存在していても積層した導電膜がバリヤー層を還元する作用をもつため、バリヤー層と導電膜を成膜する際、バリヤー層を一旦大気に晒しても、接触抵抗の上昇は起こらない。

【0069】前記導電膜の成膜方法としては、スパッタリング、真空蒸着法、CVD法のいずれでも良い。成膜あるいはリフロー中にCu膜内に導入される酸素の量は、その時の雰囲気酸素分圧により変化する。前記導電膜の膜厚は、成膜あるいはリフローが行われる酸素分圧においてCu膜内部に導入された酸素をすべて還元できるだけの膜厚以上であることが望ましい。

【0070】前記導電膜を構成する元素としては、Ti、V、Cr、Ni、Nb、Mo、Ru、Rh、Pd、Sb、La、W、Re、Os、Ir、Pt、Tl、Pb、Bi、Nd、Sm、Erのうち少なくとも1種を含むことが望ましい。特に、Nd、La、Smは、酸化反応におけるギブスの自由エネルギー変化量の絶対値が、バリヤー層として汎用されているTiNの酸化反応におけるギブスの自由エネルギー変化量の絶対値よりも大きく、バリヤー層の酸化を抑制する効果が大きいので、好ましい。また、成膜されるCu膜は、CuまたはCu合金いずれも使用することができ、これらのことはAgやAuの場合も同様である。

【0071】以上の酸化物が導電性酸化物となる物質からなる導電膜をCu、AgおよびAuの下地膜として形成することにより、酸化還元反応を利用したリフロー技術によりCu埋め込み配線を形成する際、酸化性ガスの存在下における加熱処理において下地膜が酸化されても、接触抵抗の上昇を回避し、高い信頼性を有する半導体装置の提供が可能である。

【0072】また、第2の発明の場合は、導電膜のリフローに当たって、リフロー現象を支配する表面拡散以外の要因、すなわち導電膜に加わる一軸応力を利用するものである。つまり、ある程度高温状態では、前記導電膜などに加わる応力に差が生じると、高応力側から低応

力側へ物質（金属原子）の移動が起こる高温クリープ現象を生じる。したがって、ここでは前記半導体基板に形成された溝によって、凹凸形状を成す導電膜の凸部に一軸応力を付与すると、凸部における導電膜に高い応力、凹部における導電膜に低い応力がかかり、導電膜内には応力勾配が生じるので、導電膜の凸部から凹部への拡散が確実に進行し、リフロー温度の低温化が実現されることになる。

【0073】このとき、付与する一軸応力（圧力）は、高いほど加速効果が大きく、成膜（as depo）形状によって、拡散進行度は異なるが、実質的にはリフロー温度を数100°C程度低下させることができる。ここで付与する一軸応力（印加応力）は、 $1\text{kg/mm}^2$ 以上好ましくは $2\text{kg/mm}^2$ 以上に設定される。また、降伏応力を超える一軸応力は、導電膜の塑性変形を起こす。そして、この塑性変形によって凹部の埋め込みが容易に成される一方、導電膜内に加工過程で蓄積された組織変化などは熱処理により緩和され、そのときのエネルギーによりリフローが進行する。このときの加熱は、一軸応力付与と同時に一軸応力付与による塑性変形後でもよいが、同時加熱の方がよりリフローの低温化を図ることができる。ただし、ここでの一軸応力の上限は、半導体基板材料、特にSi基板の降伏応力以下が望ましい。なお、一軸応力ではなく、静水圧のような全体的な応力を付与したのでは、導電膜内に生じる応力勾配は小さく、リフロー温度はさほど低温化されない。

【0074】第2の発明における導電膜としては、純Al、Al合金、純Cu、Cu合金（たとえばCu-Ag合金）、純Agなどから成るものが挙げられる。そして、これらの導電膜の成膜方法は、通常のスパッタリング法、異方性スパッタリング法（コリメーションスパッタリング法、ロングディスタンススパッタリング法）、ヘリコン波スパッタリング法、真空蒸着、ICB蒸着もしくはCVD蒸着などのいずれでもよい。また、前記成膜時の導電膜内の結晶粒径を小さくしておき、熱処理時の結晶粒成長に伴って消失する粒界エネルギーを利用すると、導電膜のリフローが促進される。つまり、成膜時に半導体基板を液体窒素で冷却すること、あるいは成膜時に半導体基板にバイアスを印加することにより、結晶粒の微細な導電膜の成膜が可能となり、リフロー効果をさらに上げ得る。ここで、半導体基板に印加するバイアス電圧は-50V以上が望ましい。また、前記導電膜は、再結晶促進元素を適宜添加・含有させることにより、その効果が促進される。

【0075】また、熱処理時の雰囲気としては、導電膜がAlの場合、表面が酸化されるとリフロー性が損なわれ易いので、成膜後 $1 \times 10^{-8}$ Torr以下の真空度を保ったまま加圧加熱することが好ましい。一方、金属膜がCu、AgもしくはAuの場合、表面酸化膜の還元が容易であるため、成膜後大気暴露することは構わず、Cu、Ag、Au膜が



酸化されても加圧加熱時に、還元雰囲気あるいは酸化物解離圧以下の真空度にすればよい。なお、酸化性ガスおよび還元性ガスを同時に、あるいは交互に供給しながら熱処理を施してもよいことはいうまでもない。さらに、前記導電膜がCu-Ag合金の場合、単純な共晶合金であるうえ、電気抵抗が高々  $1.9\mu\Omega\text{cm}$ 、共晶温度も  $779^\circ\text{C}$  で融点がかなり低いので、リフロー温度も低下される。

【0076】この第2の発明で加える一軸応力は、試料全体に一軸応力を均等に加える必要性から、応力伝達治具表面は極めて平坦な材料が選ばれる。具体的には、鏡面仕上げされたSi、Si熱酸化膜などが望ましく、また導電膜と反応を生じないものを選定する。たとえば導電膜の素材がCuの場合、Siと反応しシリサイドを形成するため、 $\text{SiO}_2$  を用いることが望ましい。さらに、前記リフローに当たっての加熱方法は、抵抗炉、基板ヒーター加熱、レーザー加熱、イメージ炉加熱などいずれでもよいが、温度勾配による熱拡散の効果を持たせるため、一軸応力印加治具、ガス、液体からの伝達が好ましい。

【0077】第3の発明は、成膜時の導電膜をCu膜、Ag膜の積層型としており、異種金属同士が形成する界面のエネルギーが、それら金属の合金化時に放出されて、この放出されたエネルギーがリフロー温度の低温化に寄与することを利用したものである。ここでは、酸化性ガスおよび還元性ガスを供給しながら、あるいは半導体基板上方の導電膜に一軸応力を付与しながら、積層膜に熱処理を施してもよい。また、この第3の発明では、異種金属間界面のエネルギーの利用だけでなく、導電膜表面の自由エネルギー、膜内の粒界エネルギーなども適宜利用される。たとえば成膜時に、成膜入射粒子の異方性を利用して表面積を大きくし、もしくは結晶粒径を小さくしておくことによって、前記粒界エネルギーなどが効果的に利用され、リフローが促進される。

【0078】なお、このリフローにおいては、界面の消滅を要するので、界面の移動をピンニングするような酸化物を極力なくすることが前提となる。したがって、成膜時の不純物混入、特に  $\text{O}_2$  の影響を避けるため、たとえばスパッタ成膜の場合は、到達圧力の非常に低い環境で、高純度Ar雰囲気、高純度ターゲットで成膜することが望ましい。

【0079】また、前記Cu-Ag膜は、再結晶促進元素を適宜添加・含有していてもよい。一方、成膜時に半導体基板を液体窒素で冷却すること、あるいは成膜時に半導体基板にバイアスを印加することにより、結晶粒の微細なCu-Ag膜の成膜が可能となり、リフロー効果をさらに上げ得る。ここで、半導体基板に印加するバイアス電圧は $-50\text{V}$ 以上が望ましい。

【0080】本発明は第2に、リフロー熱処理時のブリッジ発生を抑制、防止する一方、電極配線を形成する溝やコンタクトホール内の堆積物のスペース面側への吸い上げを抑えて、空洞の存在しない電極配線を形成するこ

とを骨子としている。

【0081】すなわち、第4の発明の製造方法は、通常の物理蒸着で導電膜を成膜後、リフロー熱処理に先だってスペース上の堆積膜厚を予め低減させ、スペース上の堆積膜厚および溝内などの堆積膜厚を適度にバランスさせ、それら堆積膜の移動を制御することによって、前記ブリッジの発生および空孔の発生を抑制、回避するものである。

【0082】ここで、スペース上の堆積膜厚は、溝内などの堆積膜厚程度となるように研磨などされることが望ましく、これらの膜厚比が余り小さくなると堆積物の溝内への移動量が減少するため、たとえば図1の模式図において、溝6内の堆積膜厚をa、配線溝6間スペース上の堆積膜厚をbとしたとき、次式、 $(2/3)a < b < (3/2)a$  の範囲に膜厚比が設定されることが望ましい。なお、図1において、7は  $\text{SiO}_2$  膜などの絶縁膜、8はCu膜などの導電膜、10はたとえば  $\text{SiO}_2$  膜、 $\text{SiN}$ 膜などの絶縁膜である。

【0083】また、前記成膜後におけるスペース上の堆積膜を一部除去して膜厚を低減するためには、MP (Mechanical Polishing)、前記CMP、あるいはイオンエッチングなどの手段で行う。

【0084】なお、Alを堆積し、前記MPおよびCMPによって膜厚を低減した場合は、熱処理時に表面酸化膜をイオンエッチングしないとリフローがスムーズに起こらない。一方、Cuを堆積した場合は、水素もしくはCOを含んだガス中などのCu酸化物の還元性の環境下での熱処理を行うか、熱処理時にイオンエッチングを行うか、あるいは高真空環境下での熱処理を行えばよい。

【0085】また、堆積膜がCu膜、Ag膜、Au膜のときは、酸化・還元混合系ガス雰囲気または酸化・還元を交互に行う雰囲気を選択すると熱処理温度を低下させることができる。そして、このときの基板温度（環境温度）としては、還元反応が急速に進行する  $200^\circ\text{C}$  以上が望ましく、このときの加熱手段は抵抗炉、基板ヒータ加熱、レーザー加熱、イメージ炉加熱などが挙げられるが、低温でも熱伝達の早い基板ヒータ加熱が好ましい。さらに、前記熱処理における雰囲気については、膜の劣化および半導体基板の温度上昇を避けるため、酸化量が膜厚の20%以下となるようなガス分圧比および酸化・還元のインターバルが望ましい。

【0086】また、前記熱処理時の雰囲気はプラズマ中でもよく、導電膜の堆積面を還元性ガスプラズマおよび酸化性ガスプラズマに同時に、あるいは交互に曝してもよい。ここで、同時に曝す場合は、酸化性ガスおよび還元性ガスを同時に供給するときと同様であり、いずれの場合も、他のガスとして不活性ガスが混入してもよい。なお、前記プラズマとしては、rf、DC、ECR、ヘリコン波プラズマなどが好ましく、基板バイアスを印加すると反応が促進されるが、成膜する導電膜のスパッタを考慮

すると、バイアスは $-50\text{ V}$ 以下とすることが好ましい。

【0087】さらに導電膜としては、前記Al、Cu、Ag、Auだけでなく、添加成分10 atm%以下、好ましくは5 atm%以下のCu合金などから成るものでもよい。また、溝内の堆積物の溝間スペース上への吸い上げを抑制するため、下地膜を設けて界面エネルギーを減少させることも望ましい。この下地膜は、堆積する導電膜の電気抵抗の上昇を避けるために、導電膜の素材と混合しない元素で形成されていることが望ましく、たとえばAlに対してはN、b、アモルファスTaCu、アモルファスWCoなどが挙げられる。

【0088】本発明は第3に、少なくとも酸化性ガスの供給を導電膜の成膜やCMP工程後のポリッシング停止膜除去時に行い、緻密で信頼性の十分な埋め込み配線を高いアスペクト比で形成することを骨子としている。

【0089】すなわち、第5の発明の場合は、半導体基板を加熱するとともに少なくとも酸化性ガスを供給しながら、Cu膜、Ag膜、Au膜を成膜することで、前記半導体基板に形成された溝やコンタクトホールに流動させて埋め込んだ後、研磨して電極配線を形成するというものである。例えばCu膜の場合、第1の半導体装置の製造方法と同様にCuの酸化、還元反応を利用することで、Cu膜表面の温度が局部的に上昇して表面拡散が促進され、ひいては基板温度が低温でもCu膜の溝内への流動が進行する。

【0090】ここでは、酸化性ガスの単独導入でも、酸化性ガス分圧が加熱温度において、導電膜の酸化の平衡分圧より低い、具体的には $1 \times 10^{-7}$ から $5 \times 10^{-5}$  Torr程度に設定されると、Cuを酸化することなく、Cu表面での酸化性ガスの化学吸着および脱離反応を進行させることが可能であり、この反応に起因するエネルギーによって表面拡散が加速されCuの流動が進行する。一方、第5の製造方法において、酸化性ガスおよび還元性ガスの両ガスを供給すれば、第1の発明の製造方法と同様、酸化性ガス単独での導入の場合よりも一段と効率は向上する。そしてさらに、第5の発明の製造方法において、前記成膜時における酸化性ガスおよび還元性ガスの供給を、成膜前半時には半導体基板表面で酸化性ガス分圧が、酸化性ガスと還元性ガスとの平衡分圧よりも大きくなるように、成膜後半時には逆に還元性ガス分圧が、酸化性ガスと還元性ガスとの平衡分圧よりも大きくなるように、酸化性ガスおよび還元性ガスの供給量を制御することによって、良好な成膜が助長される。また、前記成膜時における半導体基板の温度を、成膜前半時に比べて成膜後半時を高温に制御することによっても、同様の作用効果が得られる。

【0091】なお、この現象はCuに限らずAg、Auなどの触媒作用の強い材料であると特に強く同様の現象が進行する。このとき、酸化性ガスとして $\text{O}_2$ 、 $\text{CO}_2$ 、 $\text{H}_2$

$\text{O}$ などが望ましく、またこれらの混合ガス中で成膜を行ってもよい。また成膜後、 $\text{H}_2$ をはじめとした還元性ガス雰囲気に晒すことが望ましい。以上のように、第5の発明においては酸化性ガス混入量を制御することにより、低温で高いアスペクト比の溝やコンタクトホールへ導電膜を十分に埋め込むことが可能になる。

【0092】ここで、前記成膜方法としては、たとえば通常のスパッタリング法、TS間距離（ターゲット-基板間の距離）を広げて半導体基板に対するスパッタ粒子の垂直入射成分を高めた長距離スパッタリング法、TS間に垂直入射成分以外のスパッタ粒子を付着させるコリメータ板を挿入するコリメーションスパッタリング法などの異方性スパッタリング法、半導体基板に直流電圧や高周波電圧を印加するバイアススパッタリング法などが挙げられる。特に、溝のアスペクト比が高い場合は、異方性スパッタリング法、バイアススパッタリング法を用いると溝内へのスパッタ粒子の付着効率が高まり、溝内面を凝集しにくいO原子の混入したCu膜により被覆することが容易となって、より高いアスペクト比の溝を埋め込むことができる。

【0093】また、バイアススパッタリング法で凝集を起こし難いCu膜を形成した後、成膜速度の速い通常のスパッタリング法でコンタクトホール内を埋め込む方式を採れば生産性の向上を図ることができる。前記バイアススパッタリング法では、電離した $\text{Ar}^+$ イオンを半導体基板に垂直性よく引き込みながら成膜するため、前記 $\text{Ar}^+$ イオンが開口部に突出するCu膜（オーバーハング形状）をスパッタエッチングし、Cu原子が入射するコンタクトホールの開口を狭めないとともに、前記スパッタエッチングされたCuがコンタクトホール内壁面に再付着して被覆性を上げる効果もある。なお、バイアススパッタリングは、Ar量をほとんど、もしくは全く供給しない、水素、酸素雰囲気中で行っても、所望の効果が得られ、また、前記 $\text{Ar}^+$ イオンの半導体基板への引き込みによる配線の信頼性低下も、半導体基板が加熱されていることやその後の通常のスパッタリング法でのCu膜の成膜によって回避される。

【0094】さらに、基板に印加したバイアスのon/offやバイアスを次第に減少させることによって、同一チャンバー内で1次Cu膜の成膜および2次Cu膜の成膜を連続的に行うこともできるので、成膜時間が短縮できる。さらにまた、凝集を起こしにくいCu膜を長距離スパッタリングで形成した後、連続的にTS間距離を狭めて成膜速度の速いスパッタリングに移行してもよいし、あるいは凝集を起こしにくいCu膜をコリメーションスパッタリングで形成した後、コリメーターをTS間から移動して成膜速度の速いスパッタリングに移行してもよい。

【0095】また前記第5の半導体装置の製造方法においても、溝および/またはコンタクトホールが形成された基板面に、酸化物が導電性を示す第一の導電膜を下地



層として形成し、その上にCuまたはCu合金膜を形成することにより、酸化、還元反応熱を利用したCu埋め込み配線の形成に当たって、酸化性ガスの存在下半導体基板を加熱した際に下地膜が酸化されても、接触抵抗の上昇を回避し、高い信頼性を有する半導体装置を提供することが可能となる。

【0096】また、成膜されるCu膜は、CuまたはCu合金いずれも使用される。

【0097】すなわち第1の半導体装置の製造方法と全く同様に、酸化物が導電性酸化物となる物質からなる導電膜をCu, Ag, Auの下地膜として形成することにより、酸化、還元反応熱を利用したCu埋め込み配線の形成に当たって、酸化性ガスの存在下半導体基板を加熱した際に下地膜が酸化されたか否かにかかわらず良好な導電性が保持され、ひいては接触抵抗の上昇を回避しながら、高い信頼性を有する半導体装置の提供が可能となる。またここで用いられる酸化物が導電性酸化物になる物質についても、第1の半導体装置の製造方法における下地膜として例示されたものが挙げられる。

【0098】第6の発明の製造方法は、本発明者らの重なる研究における次のような知見に基づくものである。

【0099】すなわち、導電膜の成膜時に半導体基板を加熱するとともに、酸化性ガスおよび還元性ガスの混合雰囲気中に設定する。こうした条件下で、たとえば酸化性ガスとして  $O_2$  を含むガスをスパッタ中に供給し、Cu膜を成膜すると、成膜初期のCu膜中には多くのO原子が混入する。そして、この混入したO原子は、基板の加熱によるCu膜の凝集を抑制する方向に作用し、従来の加熱スパッタ時に認められる成膜初期におけるCu膜の島状凝集が回避される。

【0100】さらに、還元性ガスとして  $H_2$  ガスをスパッタ中に供給し、Cu膜を成膜すると、成膜もしくは堆積中のCu膜表面が常に還元されるので、Cu膜表面は活性状態を保持することになり、自由な表面拡散が抑制されることなく、容易に配線パターン状に形設された溝内へ移動することができる。

【0101】また、酸化性ガスおよび還元性ガスの混合雰囲気下での、スパッタなどによる導電膜の形成では、たとえばCuの酸化反応および還元反応がいずれも発熱反応であるため、酸化や還元の起こるCu膜表面は局所的に高温化されることになる。すなわち、基板温度が低温でも、表面拡散を活性化することができるので、CuやAg, Auを低温で溝内へ埋め込むことが可能となる。

【0102】さらに、前記酸化性ガスおよび還元性ガスの混合ガス雰囲気において、プラズマを発生させて、たとえば  $O^+$  イオンあるいはラジカルや  $H^+$  イオンあるいはラジカルを電離あるいは遊離させると、反応性を向上させることができる。したがって、基板温度をさらに低温化でき、たとえば  $200^{\circ}C$  程度でも、Cuなどを溝内に十

分埋め込むことができる。なお、Cu原子などの半導体基板への拡散を考慮すると、基板温度は  $200 \sim 600^{\circ}C$  程度が望ましい。

【0103】すなわち、第6の発明の製造方法は、半導体基板上の溝やコンタクトホールが形成された絶縁膜面に酸素を含む導電膜を堆積させ、引き続き半導体基板を加熱しながら導電膜を成膜することにより、導電膜を前記溝やコンタクトホールに埋め込んだ後、研磨して電極配線を形成するというものである。そして、前記酸素を含む導電膜の堆積（成膜）は、たとえばO原子を混入したCuやAg, Auのターゲットを用いることによって、あるいは酸化性ガスの供給量の制御などによって行うことができる。ここで、酸素が含まれる状態は導電膜中全体に分散していてもよいし、酸化膜としての形態であってもよい。さらに、この発明では、酸化性ガスおよび還元性ガスを供給しながら、導電膜の成膜を行うことによって、より低温で溝やコンタクトホールを埋め込むことができる。

【0104】この第6の発明の製造方法においては、たとえばCu膜に含まれているO（酸素）によって、Cu膜の凝集が抑制される。さらに、Cu膜、Ag膜、Au膜などの凝集は基板温度、成膜時の雰囲気、成膜速度に密接に関係している。特にCuの成膜では、成膜速度との関係が密接である。たとえばターゲットから飛来してきたCu原子は、基板上に拡散した後に安定な核を形成し、後から飛来してきたCu原子も基板上に拡散し安定核に吸収される。そして、基板温度が高いほど、前記表面拡散は活発で、加熱スパッタリング法における島状成長（凝集）は、前記の成膜過程に起因している。

【0105】ところで、成膜速度が大きいと、Cu原子は既存する安定核に到達する以前に、次々と飛来してきたCu原子と結合して新たな核を形成するため、凝集が顕著化しない。しかし、成膜速度が小さいと、Cu原子は表面で拡散できる時間が長くなり、既存する安定核に吸収される確率が高くなり、凝集を起こし易くなる。こうした傾向は、凝集を起こし難いO原子を含有したCu膜の場合でも同様で、特に前記成膜速度は、電極配線形成領域である溝やコンタクトホールのアスペクト比にも左右され、溝内と他の平坦面の成膜速度を同一に制御することが困難である。

【0106】また、このような成膜速度が溝内と平坦面上とで不均一となる酸化性雰囲気や還元性雰囲気でのスパッタリングでは、凝集を抑制するO原子の混入量を全体的に一樣に制御することも困難となり、Cu膜の凝集が生じ易い。この点、O原子を添加したCuターゲットを用いた場合は、O原子の含有量をほぼ一樣に制御することが可能であるため、段切れなどのないCu膜を容易に成膜できる。

【0107】なお、酸素を含む膜および導電膜の成膜方法としては、たとえばターゲット-基板間（TS間）距離

10

20

30

40

50



を広げて半導体基板に対するスパッタ粒子の垂直入射成分を高めた長距離スパッタリング法、TS間に垂直入射成分以外のスパッタ粒子を付着させるコリメータを挿入するコリメーションスパッタリング法などの異方性スパッタリング法、半導体基板に直流電圧や高周波電圧を印加するバイアススパッタリング法などが挙げられる。

【0108】特に、溝のアスペクト比が高い場合は、異方性スパッタリング法、バイアススパッタリング法を用いると溝内へのスパッタリング粒子の付着効率が高まり、溝内面を凝集しにくいO原子の混入したCu膜などで被覆することが容易となって、より高いアスペクト比の溝を埋め込むことができる。また、バイアススパッタリング法で凝集を起こし難いCu膜、Ag膜、Au膜などを形成した後、成膜速度の速い通常のスパッタリング法で溝内を埋め込む方式を採れば生産性の向上を図ることができる。さらに、前記バイアススパッタリング法で、Arなどの不活性ガスを供給すれば、電離したAr<sup>+</sup>イオンを半導体基板に垂直性よく引き込みながらCu膜などが成膜するため、前記Ar<sup>+</sup>イオンが開口部に突出するオーバーハングした部分をスパッタエッチングし、Cu原子が入射し得る開口の角度範囲が狭められないとともに、スパッタエッチングされたCuが溝内壁面に再付着して被覆性を上げる効果もある。

【0109】なお、この場合、バイアススパッタリング法を、Arなどの不活性ガスをほとんど、もしくは全く供給しない水素や酸素雰囲気中で行っても、同様の効果が得られる。また、Ar<sup>+</sup>イオンの半導体基板への引き込みによる電極配線の信頼性低下も、半導体基板が加熱されていることや、その後の通常のスパッタリング法での導電膜の成膜によって十分回避し得る。

【0110】さらに、基板に印加するバイアスのon/off制御を行うか、バイアス電圧を次第に減少させることによって、同一チャンバー内で酸素を含むCu膜の成膜および導電膜の成膜を連続的に行うこともできるので、成膜時間を短縮できる。また、凝集を起こしにくいCu膜を長距離スパッタリングで形成した後、連続的にTS間距離を狭めて成膜速度の速いスパッタリングに移行してもよいし、あるいは凝集を起こしにくいO原子の混入したCu膜をコリメーションスパッタで形成した後、コリメータ板をTS間から取り去って通常のスパッタに移行してもよい。

【0111】第7の発明の製造方法は、溝やコンタクトホールが形設される絶縁膜面上に、反射防止膜、ポリッシング停止膜としてC(カーボン)膜を設け、精度の高い溝部の形設を可能としながら、一方では過度のポリッシングを防止、回避し、容易に信頼性の高い電極配線を形成するものである。

【0112】つまり、前記第1～第6の発明でも共通し得るが、いわゆるフォトリソによる溝部の形設に当たって、光の乱反射に起因するパターンニングの乱れを

防止低減するため反射防止膜、かつ導電膜を溝部に埋め込んだ後、研磨、成形時における下層材料の過剰な研磨除去を防止するポリッシング停止膜としてC膜を用いる。この場合には、前記C膜は導電性を有しているので、その残存は形成する電極配線のみならず、製造する半導体装置全体にも電氣的に悪影響を与えることになる。したがって、前記反射防止およびポリッシング停止の機能を果たした後は、基板などに悪影響を及ぼさずに絶縁性を要求される領域のC膜を除去する必要があるが、このC膜は、酸化性ガスおよび還元性ガスの混合雰囲気の中で、容易に、かつ確実に除去され、しかもその時Cuなどから成る導電膜は酸化されることはない。

【0113】さらに、本発明では、電極配線の下地膜として、たとえばTiN、Ta、Cr、TiW、Nb、アモルファスTiSiN、アモルファスTi(O、N)、アモルファスWCo、アモルファスNbCr、アモルファスCrTa、アモルファスCoV、アモルファスCoMo、アモルファスCoNb、アモルファスCoTa、アモルファスTaCu、アモルファスWN、アモルファスWSiNなどの層が配置されても構わない。

【0114】前記各発明において、電極配線を形成する半導体基板としては、所望により能動領域や絶縁膜などが形成されたSi基板あるいは化合物半導体基板などが挙げられる。また、この半導体基板面の電極配線形成領域に形設される溝および/またはコンタクトホールの形状も、特に限定されない。

【0115】

【実施例】以下図を参照して、本発明の実施例を詳細に説明する。

【0116】実施例1

図2(A)、2(B)、2(C)および2(D)、および図3は、この実施例の実施態様を模式的に示したもので、先ず、図2(A)に断面的に示すように、所要の能動領域を設けたSi基板(100)9上に、下地として膜厚100nmのp-SiN絶縁膜10を成膜する。さらに図2(B)に断面的に示すごとく、CVDによりSiO<sub>2</sub>膜7を1μm厚に形成した後、PEP、RIEにより、スペース幅500nmとして、図2(C)に断面的に示すごとく、前記SiO<sub>2</sub>膜7に、幅1μm深さ1μmの溝6を多数本形成した。次いで、前記溝6を形成したSiO<sub>2</sub>膜7面上に、図2(D)に断面的に示すごとく、バリヤー層11としてTiNを膜厚30nm成膜後、スパッタリングにより膜厚600nmのCu膜8を成膜した。なお、このときバリヤー層11およびCu膜8の成膜前に、予め選択CVD法でコンタクトホール(ビアホール)を埋め込み、能動領域との接続を行った。

【0117】次に、図3に概略構成を示すような減圧熱処理装置を用いて、酸化・還元反応を伴う熱処理を行った。すなわち、試料の載置が可能なヒーター付き載置台(ホットプレート)12を内装した減圧熱処理本体部13、

この減圧熱処理本体部13にバルブ 14a, 14bを介して接続した酸化性ガス供給源15および還元性ガス供給源16、前記減圧熱処理本体部13にバルブ 14cおよびフィルター17を介して接続し、減圧熱処理本体部13内の排気を行うロータリーポンプ18、減圧熱処理本体部13へのガス供給側および排気側にそれぞれ設置された真空計 19a, 19bを具備して成る減圧熱処理装置を用意した。なお、この減圧熱処理装置はターボ分子ポンプの排気系で到達真空度が $10^{-7}$  Torrであり、ガス供給（導入）ラインより各種ガスを導入できる構造となっている。

【0118】そして、前記ホットプレート12に、前記Cu膜8を成膜したSi基板9を設置し、その後ターボ分子ポンプ5により $10^{-7}$  Torrに真空引きを行った。次に酸化性ガス( $O_2$  21%、 $N_2$  79%)を供給源15より供給し、チャンパー内の圧力が $4 \times 10^{-6}$  Torrの状態、600℃、10分間加熱処理を行った結果、図4(A)に示すように、溝内部への流動が確認された。

【0119】比較例として、 $1 \times 10^{-7}$  Torrの真空中で、650℃、10分間加熱処理を行った結果を図4(B)に示す。

【0120】以上のようなリフローの促進は、400℃以上の熱処理温度にて、 $1 \times 10^{-5}$  Torr以下の酸素分圧下で確認された。これを越える酸素分圧においては、表面の酸化が進行し、リフローが抑制された。さらにCMPにより配線加工を行った物について比抵抗を測定したところ、 $2.0 \mu\Omega\text{cm}$ であった。

【0121】本実施例ではCu膜を形成後、酸化性ガスを供給し、リフローが促進されたが、基板温度を350℃から450℃の範囲での加熱成膜中に、酸素分圧 $5 \times 10^{-5}$  Torr以下の範囲で混入した場合にも、リフローの促進効果が確認された。

\*

ガス種	$H_2$ 100%	—	$H_2$ 10%— $N_2$ 90%			
流量 l/min	0.3	—	0.4	0.5	1	1
圧力	減圧	減圧	減圧	減圧	減圧	大気圧
リフロー形状	○	×	△	○	○	△

前記熱処理を施し冷却後、各試料についてSEMによりリフロー形状を、それぞれ観察した結果を表1に併せて表示した。ここで、○印は溝の埋め込み量が溝深さの110%以上、△印は溝の埋め込み量が溝の深さの100～110%未満の場合であり、×印は還元反応が十分でなくリフローによる埋め込み量が溝深さの100%未満の場合である。なお、前記熱処理における供給側（曲線A）および排気側（曲線B）での還元性ガスの流量と熱処理装置内圧との関係は図5に示すごとくであった。

【0126】また、前記リフロー形状が○印のものについて、CMPによる配線加工を行い、その配線形状をSEMによって評価したところ、いずれも良好であり四端子法によって電気抵抗を測定した結果 $1.8 \mu\Omega\text{cm}$ であった。

50

## \*【0122】実施例2

実施例1の場合と同様に、図2(A)に断面的に示すごとく、所要の能動領域を設けたSi基板(100)9上に、下地として膜厚100nmのp-SiN絶縁膜10を成膜する。さらに図2(B)に断面的に示すごとく、CVDにより $SiO_2$ 膜7を400nm厚に形成した後、PEP、RIEにより、スペース幅800nmとして、図2(C)に断面的に示すごとく、前記 $SiO_2$ 膜7に、幅400nmの溝6を多数本形成した。次いで、前記溝6を形成した $SiO_2$ 膜7面上に、図2Dに断面的に示すごとく、バリヤー層11としてTiNを膜厚30nm成膜後、スパッタリングにより膜厚800nmのCu膜8を成膜した。なお、このときバリヤー層11およびCu膜8の成膜前に、予め選択CVD法でコンタクトホール（ビアホール）を埋め込み、能動領域との接続を行った。

【0123】次に、実施例1と同じく図3に示す減圧熱処理装置を用いて、酸化・還元反応を伴う熱処理を行った。

【0124】ホットプレート12に、前記Cu膜8を成膜したSi基板9を設置し、その後ロータリーポンプ18によって真空排気した。このときの真空度は0.01torr程度であり、この真空排気後表1に示す条件の環境下、450℃、30minの熱処理を施して、前記Cu膜8をリフローさせた。なお、表1においては、供給ガスとして $H_2$  100%、 $H_2$  10%— $N_2$  90%の還元性ガスのみ表示しているが、いずれの場合も酸化性ガスとして、 $O_2$  20%— $N_2$  80%を0.1l/minの流量で、減圧熱処理装置本体部13上方より、バルブ14aを調整することで供給した。

【0125】

【表1】

なお、還元性ガス( $H_2$  10%— $N_2$  90%)の流量が0.4l/min以下の試料においては、酸化性ガス、還元性ガスの分圧がCu膜に対し、酸化領域であるため表面にCu酸化膜が形成されている。

## 【0127】実施例3

実施例2の場合において、酸化性ガスとして $O_2$ 、 $H_2O$ もしくは $O_2$ — $H_2O$ 系、還元性ガスとして $H_2$ もしくは $H_2$  80%— $CO_2$  20%をそれぞれ用い、あるインターバル(min)において、表2に示すような条件で、酸化性ガスおよび還元性ガスを繰り返して供給した外は、同様の条件で電極配線の形成を行った。

【0128】なお、酸化性ガスおよび還元性ガスを交互に流すに当たって、10secの真空引き時間を設定する一

方、ガスの流量を0.1l/minに統一して、熱処理条件は 4 \* を0.1l/minで供給した。  
50°C, 30 minとし、酸化性ガスおよび還元性ガスの繰り 【0129】  
返し供給後の残り時間と、Cu膜の冷却の際は H<sub>2</sub> 100%\* 【表2】

還元性ガス	H <sub>2</sub> 100%			H <sub>2</sub> 80%-CO20%		
インターバル(sec)	5	0.5	0.5	0.5	0.5	0.5
酸化性ガス	O <sub>2</sub>	O <sub>2</sub>	H <sub>2</sub> O	H <sub>2</sub> O	O <sub>2</sub>	O <sub>2</sub> - H <sub>2</sub> O
インターバル	5	0.5	0.5	0.5	0.5	0.5
回数	3	20	20	20	20	20
リフロー形状	△	○	○	○	○	○

前記熱処理を施し冷却後、各試料について SEMによりリフロー形状を、それぞれ観察した結果を表2に併せて表示した。ここで、○印は溝の埋め込み量が溝深さの 110%以上、△印は溝の埋め込み量が溝の深さの 100~ 110%未満の場合である。

【0130】また、前記リフロー形状が○印のものは、いずれもCu膜の酸化量が膜厚の20%以下で、CMPにより配線加工を施して、その配線につき SEMにより配線形状を評価したところ、いずれも良好であった。さらに、前 20  
記リフロー後の各試料について、Si基板に対するCuの拡※

※散量をSIMSにて測定したが、検出限界以下であった。

#### 実施例4

実施例2の場合において、還元性ガスとして H<sub>2</sub>、酸化性ガスとして O<sub>2</sub> を表3、表4、表5、表6にそれぞれ示すような分圧比 (P<sub>H<sub>2</sub></sub> / P<sub>O<sub>2</sub></sub>)、総ガス圧力、熱処理温度、時間の条件で、リフロー処理を行って電極配線を形成した。

【0131】

【表3】

総ガス圧力(Torr)	4	4	4	4	4	4
分圧比 (P <sub>H<sub>2</sub></sub> / P <sub>O<sub>2</sub></sub> )	2	3	5	10	15	20
熱処理温度 (°C)	450	450	450	450	450	450
熱処理時間 (min)	30	30	30	30	30	30
リフロー形状	酸化	○	○	○	△	×

【表4】

総ガス圧力(Torr)	10	10	10	10	10	10
分圧比 (P <sub>H<sub>2</sub></sub> / P <sub>O<sub>2</sub></sub> )	2	3	5	10	15	20
熱処理温度 (°C)	450	450	450	450	450	450
熱処理時間 (min)	30	30	30	30	30	30
リフロー形状	酸化	○	○	○	○	△

【表5】

総ガス圧力(Torr)	10	10	10	10	10	10
分圧比 (P <sub>H<sub>2</sub></sub> / P <sub>O<sub>2</sub></sub> )	2	3	5	10	15	20
熱処理温度 (°C)	350	350	350	350	350	350
熱処理時間 (min)	30	30	30	30	30	30
リフロー形状	酸化	酸化	○	○	△	×

【表6】



総ガス圧力(Torr)	10	10	10	10	10	10
分圧比 ( $\text{PH}_2 / \text{PO}_2$ )	5	5	5	5	5	5
熱処理温度 (°C)	400	400	350	350	350	350
熱処理時間 (min)	2	5	2	5	10	15
リフロー形状	×	○	×	×	△	○

前記熱処理を施してから、酸化の影響を避けるため、20 Torr圧力の純水素雰囲気中で冷却後、各試料について SEMによりリフロー形状を、それぞれ観察した結果を表 3、表4、表5、表6にそれぞれ併せて表示した。ここで、○印は溝の埋め込み量が溝深さの 110%以上、△印は溝の埋め込み量が溝の深さの 100～ 110%未満の場合であり、×印は酸化・還元反応が十分でなくリフローによる埋め込み量が溝深さの 100%未満の場合である。

【0132】なお、前記20Torr圧力の純水素雰囲気中で冷却の代わりに、 $\text{N}_2$ を80%含んだフォーミングガス( $\text{H}_2$  20%、 $\text{N}_2$  80%)を用いた場合も同様の結果であった。また、バリアー層として、TiNの他にたとえばTa、Cr、TiW、Nb、アモルファス TiSiN、アモルファス WC、アモルファス NbCr、アモルファス CrTa、アモルファス CoV、アモルファス CoMo、アモルファス NbCo、アモルファス CoTa、アモルファス TaCu、アモルファス WN、アモルファス WSiNなどを用いても同様の作用・効果が認められる。

#### 【0133】実施例5

まず、所要の能動領域を設けたSi基板(100)上に、下地として膜厚 100nmの p-SiN膜を成膜し、さらに CVDにより  $\text{SiO}_2$  膜を 400nm厚に形成した後、PEP、RIEにより、スペース幅 800nmとして、前記  $\text{SiO}_2$  膜に、幅 400nmの溝を多数本形成した。

【0134】次いで、前記溝を形成した  $\text{SiO}_2$  膜面上に、バリアー層として TiNを膜厚 30nmに成膜後、CVDにより膜厚 250nmのCu膜を成膜した。このとき、バリアー層およびCu膜の成膜前に、予め選択 CVD法でコンタクトホールを埋め込み、能動領域との接続を行った。

【0135】なお、この前記  $\text{SiO}_2$  膜およびCu膜の成膜は、それぞれヘキサフルオロアセチルアセトン・ビニルトリメチルシラン銅  $[(\text{CF}_3\text{CO})_2\text{CH}] \text{Cu}(\text{C}_5\text{H}_9\text{Si})$  を原料として、熱 CVDによって行った。

【0136】また、成膜・堆積温度 200°C、原料分圧 0.25Torr、原料ガスの流量速度 8sccm、成膜速度 4nm/secであった。その後、実施例2の場合に準じ、 $\text{O}_2$  20% -  $\text{N}_2$  80%を0.11/minの流量で熱処理装置上方より供給する一方、 $\text{H}_2$  10% -  $\text{N}_2$  90%の還元性ガスを0.51/minの流量で30 min同時に供給して、前記Cu膜を 300°Cでリフローさせた。

【0137】冷却後、試料について SEMによりリフロー形状を、それぞれ観察した結果は良好で、スパッタにてCu膜を形成した場合と同様に、溝の埋め込み量が溝深さ

の 127%であった。なお、冷却時には  $\text{H}_2$  100%を11/minの流量で供給した。図6(A)および図6(B)に、この実施例におけるCu膜リフロー前後の断面状態の顕微鏡写真を示す。

【0138】また、CMPによる配線加工を行い、その配線形状を SEMによって評価したところ、いずれも良好であり四端子法によって電気抵抗を測定した結果 1.9 $\mu\Omega$  cmであった。

#### 【0139】実施例6

まず、所要の能動領域を設けたSi基板(100)上に、下地として膜厚 100nmの p-SiN膜を形成し、さらに CVDにより  $\text{SiO}_2$  膜を 400nm厚に形成した後、PEP、RIEにより、スペース幅 800nmとして、図2(C)に断面的に示すごとく、前記  $\text{SiO}_2$  膜に、幅 400nmの溝を多数本形成した。

【0140】次いで、前記溝を形成した  $\text{SiO}_2$  膜面上に、バリアー層として TiNを膜厚 30nmに成膜後、高真空スパッタ装置を用い、スパッタリングにより膜厚 800nmのCu膜を成膜した。このとき、バリアー層およびCu膜の成膜前に、予め選択 CVD法でコンタクトホールを埋め込み、能動領域との接続を行った。なお、前記Cuのスパッタリング成膜に当っては、純度 7NのCuをスパッタ源とし、到達真空度  $1 \times 10^{-8}$  Torr、高純度Arガス(露点 -90°C以下)雰囲気で圧力 5mTorr、成膜速度 15nm/secであった。

【0141】次に、図7に概略構成を示すような加圧熱処理装置を用いて、一軸応力を付与しながら加圧熱処理を行った。すなわち、試料の載置が可能なカーボン製載置台20、前記カーボン製載置台20を上下方向に移動させる油圧機構21、前記油圧機構21によって上昇されるカーボン製載置台20の上面を押圧し、カーボン製載置台20側を加熱するヒーター電源部22を有する加圧体23をそれぞれ内装した加圧熱処理本体部24、この加圧熱処理本体部24にバルブ25を介して接続した還元性ガス供給源26、前記加圧熱処理本体部24に接続し、加圧熱処理本体部24内の排気を行うロータリーポンプ27および油拡散ポンプ28を具備して成る加圧熱処理装置を用意した。

【0142】なお、この加圧熱処理装置は到達真空度が  $10^{-7}$  Torrであり、ガス供給(導入)ラインより各種ガスを導入できる構造となっており、さらに図8に示されるように、加圧体23の先端部には  $\text{SiO}_2$  層 23aを設けたSi片 23bが設置されている。

【0143】そして、前記カーボン製載置台20に、前記

Cu膜を成膜したSi基板を装着・設置し、その後ロータリーポンプ27および油拡散ポンプ28によって真空排気した。このときの真空度は  $1 \times 10^{-7}$  Torr程度であり、この真空排気後  $N_2$  90% -  $H_2$  10%の還元性ガス（フォーミングガス）を大気圧で、流量0.1l/minに設定して流し、加熱温度を 300°C、30 min、もしくは 450°C、30 minとし、加圧体23によるCu膜への圧力値を変えて加圧熱処理を行った。

【0144】結果を表7および表8にそれぞれ示した。\*

印加応力kgf/mm <sup>2</sup>	0.5	1	2	4	7	10	16	50
配線形状	×	○	○	○	○	○	○	—
電気抵抗 $\mu\Omega$ cm	—	1.9	1.9	1.9	1.9	1.9	1.9	—

【表8】

印加応力kgf/mm <sup>2</sup>	2	4	7	10	16	50
配線形状	○	○	○	○	○	—
電気抵抗 $\mu\Omega$ cm	1.8	1.8	1.8	1.9	1.9	—

なお、表7および表8において、○印は  $D_{min}/D = 1.2$  以上の場合を、×印は  $D_{min}/D = 1$  未満の場合を、—印は測定不可能の場合をそれぞれ示す。参考までに、前記加熱処理の過程で応力を付与しなかった場合は、リフローも不十分で電極配線の形成は不可能であった。

【0147】また、図9は、前記リフロー条件における、リフロー度合い（ $D_{min}/D$ ）と印加応力kgf/mm<sup>2</sup>との関係を例示したもので、曲線Cは加熱温度が 300°Cの場合を、曲線Dは加熱温度が 450°Cの場合をそれぞれ示す。

【0148】図9からも分かるように、印加応力および処理温度が高いほどリフローは進行し、印加応力16kgf/mm<sup>2</sup>では塑性変形が認められ、印加応力50kgf/mm<sup>2</sup>ではSi基板に欠損が生じていた。

【0149】さらに、前記加熱温度 300°C、30 min、印加応力 7kgf/mm<sup>2</sup>でリフローさせた場合と、加熱温度 300°C、30 min（印加応力なし）でリフローさせた場合とについて、リフロー状態を顕微鏡写真で比較・観察した結果を図10（A）および10（B）に示す。ここで、図10（A）は印加応力を加えてリフローした場合であり、CPMで余剰Cuを除去すると良好な電極配線が形成されているのに対して、図10（B）の印加応力を加えずにリフローした場合には、リフローが不十分で所望の電極配線を形成し得なかった。

【0150】また、表7および表8には、前記加熱処理でCu膜をリフローさせて電極配線を形成した試料について、測定部分の配線長さ 1mmとし、四端子法によって電気抵抗をそれぞれ測定した結果（測定対象50の平均値）を合わせて示した。

【0151】すなわち、ここではCu膜に 1kgf/mm<sup>2</sup> 以上

\* 図8は、試料のCu膜に圧力（一軸応力）が付与される状態を模式的に示したものである。

【0145】ここで、表7は加熱温度が 300°Cの場合を、表8は加熱温度が 450°Cの場合をそれぞれ示し、リフローの度合い（配線形状）評価は、溝の深さ Dと溝内の最低Cu膜厚  $D_{min}$  の比率（ $D_{min}/D$ ）で行った。

【0146】

【表7】

の印加応力を付与することで、Cu膜のリフロー温度を低温化することができる。特に、印加応力 2kgf/mm<sup>2</sup> 以上では、Cu膜のリフロー温度の著しい低温化が可能であることが分かった。

【0152】なお、この実施例で、加圧・加熱処理に当たって、Cu膜を形成したSi基板複数枚を積層した形で、加圧・加熱してCu膜をリフローさせても同様の結果が得られた。

【0153】比較例1

30 前記実施例6において、所要のCu膜を形成したSi基板に、一軸加圧（一軸応力）を加える代わりに静水圧を加え、前記Cu膜のリフローを行って形成した電極配線を評価したところ、加熱温度を 450°C以上、処理時間30 min以上の条件に設定した場合、始めて実用可能な配線を形成し得たが、作業工程の煩雑化や量産性などの点で不利であった。

【0154】実施例7

40 先ず、所要の能動領域を設けたSi基板（100）上に、下地として膜厚 100nmの p-SiN膜を成膜し、さらに CVDにより  $SiO_2$  膜を 400nm厚に形成した後、PEP、RIEにより、スペース幅 800nmとして、図2（C）に断面的に示すごとく、前記  $SiO_2$  膜に、幅 400nmの溝を多数本形成した。

【0155】次いで、前記溝を形成した  $SiO_2$  膜面上に、バリヤー層として TiNを膜厚30nm成膜後、高真空スパッタ装置を用い、スパッタリングにより膜厚 800nmの Al膜を成膜した。このとき、バリヤー層およびAl膜の成膜前に、予め選択 CVD法でコンタクトホールを埋め込み、能動領域との接続を行った。

【0156】なお、前記Al膜のスパッタリング成膜に当

っては、純度5NのAlをスパッタ源とし、到達真空度  $1 \times 10^{-8}$  Torr, 高純度Arガス（露点 $-90^{\circ}\text{C}$ 以下）を用い5mTorr, 成膜速度10nm/secであった。

【0157】図11はここで用いたスパッタ・加圧熱処理装置の概略構成を示すもので、スパッタ領域と、前記成膜したAl膜に一軸応力を付与しながら加熱処理する領域とが、同一の真空系に設置された構成を採っている。

図11において、29a, 29bはロータリポンプ、30a, 30bはターボ分子ポンプ、31は基板載置台 31aおよびAlターゲット 31b装着部が配置されたスパッタ領域、32は油圧機構 32aによって上下方向に移動する一方、試料を載置するロードセル 32bおよび前記ロードセル32bに対向して配置されたヒータを内蔵する押圧体 32cが配設された加熱処理領域（ホットプレスチャンバー）、32dは前記押圧体 32cを加熱するヒータ電源部である。

【0158】次いで、前記スパッタ・加圧熱処理装置のスパッタ領域31で、前記Al膜を成膜した後、加熱処理領域32のロードセル 32b上に搬送し、油圧機構 32aの駆動によって、押圧体 32cとの間で、 $1\text{kgf}/\text{mm}^2$  の一軸応力を加え  $250^{\circ}\text{C}$ 、 $350^{\circ}\text{C}$ もしくは $450^{\circ}\text{C}$ で、30 min加圧熱処理を行い、前記Al膜をリフローさせて電極配線をそれ＊

＊それぞれ形成した。

【0159】これら、リフローによって溝に埋め込まれたAl膜の厚さDmin と溝の深さDの比で示すリフロー度合いと、前記リフロー条件との関係を図12に曲線Eで示す。なお、比較のため、前記リフロー処理で一軸応力を付与しなかった場合を曲線Fで示す。

【0160】図12に図示されたように、ここではAl膜に  $1\text{kgf}/\text{mm}^2$  の一軸応力を付与することで、Al膜のリフロー温度を十分に低温化することができた。また、前記実施例の各試料について、CMPで配線加工を行ってから、四端子法によって抵抗測定したところ  $2.8\mu\Omega\text{cm}$ であった。

#### 【0161】実施例8

実施例2の場合と同様の条件でバリヤ層（TiN）まで形成し、次に多元スパッタ装置を用い、また、ターゲット源として7NCuおよび6NAgを用意し、到達真空度  $1 \times 10^{-8}$  Torr, 高純度Arガス（露点 $-90^{\circ}\text{C}$ 以下）雰囲気、圧力5mTorr, 成膜速度  $1 \sim 10\text{nm}/\text{sec}$ で、表9および表10に示するような単層膜や積層膜を成膜した。

#### 【0162】

【表9】

Cu膜(nm)	600	500	400	300	200	—
Ag膜(nm)	—	100	200	300	400	600
配線形状	×	△	○	○	○	×
電気抵抗 ( $\mu\Omega\text{cm}$ )	—	2.2	2.0	2.0	2.1	—

【表10】

Cu膜(nm)	500	100	50	25
Ag膜(nm)	100	20	10	5
積層周期	1	5	10	20
Dmin/D	1.0	1.2	1.4	1.5
配線形状	△	○	○	○
電気抵抗 ( $\mu\Omega\text{cm}$ )	2.2	2.0	2.0	2.0

次に、前記単層膜あるいは積層膜をそれぞれ成膜した試料に対して、 $\text{N}_2$  90%— $\text{H}_2$  10%の還元性ガスを1l/minの流量で供給しながら、図3に示した減圧熱処理装置内で、 $450^{\circ}\text{C}$ 、30 min熱処理を行い、各金属膜をリフローさせて電極配線をそれぞれ形成した。

【0163】これら、リフローによって溝に埋め込まれた金属膜の厚さDmin と溝の深さDの比で示すリフロー度合い、CMPで配線加工を行ってから、四端子法によって抵抗測定した結果を表9および表10にそれぞれ併せて示した。表10において、Cu膜、Ag膜の積層数が増えるに応じてリフロー度合いが向上するのは、界面エネル

ギー減少効果、Cu、Agの混合エントロピー効果によるものと考えられる。

#### 実施例9

実施例2の場合において、ターゲット材料として7NCuを用い、成膜速度を10nm/secとし、また表11に示すごとく、Si基板の温度を液体窒素温度もしくは室温（ $23^{\circ}\text{C}$ ）、さらにSi基板にバイアス電圧を印加した外は、同様の条件でCu膜を成膜した。

【0164】その後、得られた各試料に対して、 $\text{O}_2$  20%— $\text{N}_2$  80%の酸化性ガスを流量0.1l/minで、 $\text{N}_2$  90%— $\text{H}_2$  10%の還元性ガスを流量1l/minで同時に供給しな



から、300℃、30 min熱処理を施し、前記Cu膜をリフローさせて電極配線をそれぞれ形成した。

【0165】これら、リフローによって溝に埋め込まれたCu膜の厚さDminと溝の深さDの比で示すリフロー度合いを表11に併せて示した。また、前記リフロー処理に先だて、Cu膜の結晶粒径をTEMにより、配線溝長手方向に垂直な方向の膜応力値を応力X線により、それぞれ

基板温度℃	-196	23	23	23	23	-196	23
基板バイアスV	0	-10	-30	-50	-100	-30	0
リフロー度合い	1.5	0.9	1.0	1.2	1.5	1.5	0.9
結晶粒径μm	0.08	0.3	0.3	0.15	0.1	0.07	0.4
膜応力kgf/mm <sup>2</sup>	25	10	20	30	35	25	5
	圧縮	引張	引張	引張	引張	圧縮	引張

#### 実施例10

まず、所要の能動領域を設けた6インチSi基板(100)上に、膜厚100nmのp-SiN膜を成膜し、さらにCVDによりSiO<sub>2</sub>膜を400nm厚に成膜した後、PEP、RIEによってスペース幅800nmとして、前記SiO<sub>2</sub>膜に幅400nmの溝を多数本形成した。次いで、前記溝を形成したSiO<sub>2</sub>膜面上にバリヤー層としてTiN膜を30nm厚に成膜し、さらにCu膜を成膜した。

【0168】前記Cu膜の成膜に当たり、スパッタ装置として、基板ターゲット間隔の変更が可能なマグネトロンスパッタ装置を用い、純度7NのCuをスパッタ源とし、到達真空度1×10<sup>-8</sup>Torr、高純度Arガス(露点-90℃以下)、圧力5mTorrで成膜を行った。

【0169】ここで用いたマグネトロンスパッタ装置の特徴は、真空状態を低下(悪化)させずに、基板とターゲット間を変化し得ることから、図13(A)および図14(A)にそれぞれ模式的に示すような入射粒子の最大入射角度26.6°(LD:2.0)もしくは45°(LD:1.0) ※

LD	1.0			2.0		
リフロー温度℃	200	250	450	200	250	450
配線形状	×	○	○	×	○	○
電気抵抗μΩcm	—	2.0	1.8	—	2.0	1.8

#### 実施例11

まず、所要の能動領域を設けた6インチSi基板(100)上に、膜厚100nm p-SiN膜を成膜し、さらにCVDによりSiO<sub>2</sub>膜を400nm厚に形成した後、PEP、RIEにより、スペース幅800nmとして、前記SiO<sub>2</sub>膜に、幅400nmの溝を多数本形成した。

【0174】次いで、前記溝を形成したSiO<sub>2</sub>膜面上に、バリヤー層としてTiNを膜厚30nm成膜後、高真空スパッタ装置を用い、スパッタリングにより膜厚800nmのCuを成膜した。このとき、バリヤー層およびCu膜の成膜前に、予め選択CVD法でコンタクトホールを埋め込み、

※れ測定した結果も表11に示した。

【0166】表11から分かるように、Si基板の温度が低いほど、もしくはSi基板へのバイアス電圧が高いほど結晶粒径が小さく、かつ膜内応力の絶対値が大きくリフロー度合いも高い。

【0167】

【表11】

※で、成膜速度を5~10nm/secと設定して膜厚500nmのCu成膜を行った。

【0170】なお、図13(B)および図14(B)は、成膜直後のCu膜について、その断面状態をそれぞれ模式的に示したものである。

【0171】その後、得られた各試料に対して、O<sub>2</sub> 20% - N<sub>2</sub> 80%の酸化性ガスを流量0.1l/minで、N<sub>2</sub> 90% - H<sub>2</sub> 10%の還元性ガスを流量1l/minで同時に供給しながら、表12に示したような処理条件で、30 min熱処理を施し、前記Cu膜をリフローさせて電極配線をそれぞれ形成した。さらに、CMPで配線加工を行ってから、四端子法によって抵抗測定した結果を表12に示した。

【0172】表12から分かるように、ここでは250℃程度の低温で、Cu膜を十分リフローさせる得ることが分かった。

【0173】

【表12】

40 能動領域との接続を行った。

【0175】なお、前記Cu膜のスパッタリング成膜に当たっては、純度7NのCuをスパッタ源とし、到達真空度1×10<sup>-8</sup>Torr、高純度Arガス(露点-90℃以下)雰囲気下で圧力5mTorr、成膜速度15nm/secであった。

【0176】次に、図15に概略構成を断面的に示す加圧熱処理装置によってリフロー処理を行った。すなわち、試料33を両面で挟着する形で一定方向に搬送する加熱ローラ34aおよび冷却ローラ34bが対を成して装着された本体部34と、前記本体部34の一端側に設置され、処理する試料33を装着したカートリッジ35が収納される準

備室 36 と、前記本体部 34 の他端側に設置され、処理された試料 33 を取り出す取り出し室 37 と、前記本体部 34、準備室 36、取り出し室 37 をそれぞれ真空排気する真空排気系 38a、38b、38c と、前記本体部 34 内にフォーミングガスを供給するガスライン 39 とを具備した構成の加圧熱処理装置を用意した。

【0177】ここでは先ず、前記 Cu 膜を成膜した試料 33 をカートリッジ 35 に装着・装填し、準備室 36 に収納・セットする一方、真空度  $1 \times 10^{-6}$  Torr まで真空排気した後、フォーミングガス（たとえば  $N_2$  90% -  $H_2$  10% の混合ガス）で常圧とした。この状態で、予め真空排気した本体部 34 内に、フォーミングガス（たとえば  $N_2$  90% -  $H_2$  10% の混合ガス）を供給するとともに、搬送ローラ 34a、34b を駆動させて、前記カートリッジ 35 に装着・装填された試料 33 を、順次本体部 34 内を搬送させて、加熱・加圧処理を施す。この搬送過程で、試料 33 の Cu 膜は、加熱ローラ 34a によって加熱・押圧されてリフローされる。ここで、加熱ローラ 34a は内蔵するヒータにより 400°C 程度を保持し、冷却ローラ 34b は室温以下であり、また両者による押圧は 1kgf/mm<sup>2</sup>、回転速度 10cm/sec である。

【0178】上記により Cu 膜をリフローによって溝に埋め込んだ Cu 膜の厚さ Dmin と溝の深さ D の比で示すリフロー度合いは、いずれも 1.2 以上であり良好であった。また、各試料について、CMP で配線加工を行ってから、\*

\* 四端子法によって抵抗測定したところ  $1.9 \mu \Omega \text{cm}$  であった。

#### 【0179】実施例 12

実施例 2 の場合に準じて、所要の能動領域を設けた Si 基板 (100) 上に、下地として膜厚 100nm の p-SiN 膜を成膜する。次いで、CVD により  $SiO_2$  膜を 400nm 厚に形成した後、PEP、RIE によって、スペース幅 800nm として、前記  $SiO_2$  膜に、幅 400nm の溝を多数本形成した。

【0180】その後、前記溝を形成した  $SiO_2$  膜面上に、バリヤー層として TiN を膜厚 30nm で成膜後、スパッタリングにより膜厚 800nm の Cu 膜を成膜した。なお、このときバリヤー層および Cu 膜の成膜前に、予め選択 CVD 法でコンタクトホールを埋め込み、能動領域との接続を行った。

【0181】次に、前記成膜した Cu 膜について、スペース上の Cu 膜を CMP によって表 13 に示すような膜厚に削った後、図 3 に図示した減圧熱処理装置を用いて熱処理を行った。なお、前記 Cu 膜の厚さ方向への一部切除を、イオンエッチングでも行った。この場合は、前記 Cu 膜を成膜した後、100MHz の rf Ar プラズマ中で、試料基板に -100 V のバイアス電圧を印加して、主にスペース上の Cu 膜をイオンエッチングして所定の膜厚に削った後、図 3 に図示した減圧熱処理装置を用いて熱処理を行った。

#### 【0182】

【表 13】

Cu 膜除去方法	CMP						イオンエッチング
	8000	6000	4500	3000	2000	1000	4500
断面形状	×	×	○	○	○	×	○
	ブリッジ	引き上げ				フラット	
CMP 後空孔の有無	×	×	○	○	○	×	○

この加熱処理は、次のような条件で行った。すなわち、ホットプレート 12 に、前記 Cu 膜を成膜した Si 基板を設置し、その後ロータリーポンプ 18 によって真空排気した。このときの真空度は 0.01torr 程度である。熱処理時の雰囲気は、 $H_2$  と  $O_2$  の分圧比 ( $P_{H_2}/P_{O_2}$ ) 30、総圧力 20Torr の雰囲気中で 400°C、30 分の熱処理、および  $H_2$  10% -  $N_2$  90% のフォーミングガス中で 650°C、30 分の熱処理に設定した。

【0183】前記熱処理を施し冷却後、各試料について断面形状を SEM により観察するとともに、スペース上の Cu 膜を CMP によって除去した後の電極配線の表面形状（リフロー形状）を観察し、空孔の有無を確認した結果を表 13 に併せて表示した。表 13 の「断面形状」の項目で、○印は溝の埋め込み量が溝深さの 110% 以上、×印は溝の埋め込み量が溝の深さの 110% 未満の場合あるいは溝内にボイドが発生した場合である。また、表 13 の「CMP 後の空孔の有無」の項目で、○印は空孔の個数が総配線長 100mm の平均で、1mm 長当たり 1 個以下であ

り、×印は 2 個以上である。

【0184】表 13 から明らかなように、スペース上の Cu 膜を 100nm 程度に薄く削り落としておいた場合は、リフロー熱処理により凝集（膜の段切れ）が発生することによって、スペース部分からの Cu の移動が不十分となり、溝内を十分に埋め込むことができなかった。また、スペース上の Cu 膜厚が 600nm、800nm の場合は、ブリッジおよび溝内からの吸い上げがそれぞれ発生し、多量の空孔の発生が確認された。

【0185】さらに、前記観察・評価で電極配線に空孔の発生が認められなかった試料を選び出し、配線回路の抵抗測定を行ったところ、いずれも比抵抗が  $1.8 \mu \Omega \text{cm}$  であった。

#### 【0186】実施例 13

この実施例は、アスペクト比 1.5 以下の埋め込み配線の形成工程を含む半導体装置の製造方法例である。

【0187】図 16 (A)、16 (B)、16 (C)、16 (D)、16 (E)、および図 17 (A)、17

(B)、17(C)は、この実施例の実施態様を模式的に示したもので、先ず、図16(A)に断面的に示すごとく、所要の能動領域あるいは下層配線領域が予め設けられた直径150mmのSi基板9上に、CVDによりSiO<sub>2</sub>膜7を3500nm厚に形成した。

【0188】その後、PEP、RIEによって、図16(B)に断面的に示すごとく、幅1500nm〜5000nm、深さ2000nmの溝6を多数本形成した。次いで、前記能動領域と溝6とを接続するコンタクトホールをPEP、RIEによって形成し、選択CVD法によって、前記コンタクトホール内部にWプラグもしくはCuプラグを充填した。

【0189】次に、前記溝6を形成したSiO<sub>2</sub>膜7面に、図16(C)に断面的に示すごとく、Cuの拡散を防止するためのバリアー層11として、たとえば厚さ30nmのTiN膜を成膜した。

【0190】その後、直流マグネトロンスパッタリング法によって、投入電力10kWで膜厚3000nmのCu膜8を埋め込みながら、図16(D)に断面的に示すごとく、バリアー層11形成面にCu膜を成膜した。

【0191】なお、このときチャンバー内は、Ar/H<sub>2</sub>/O<sub>2</sub>混合比が11/20/2の混合雰囲気、全圧力を0.85Paとした。また、スパッタターゲットとしては、直径300mmの純度99.9999%のCuを用い、かつ基板とターゲット間の距離を75mmに設定した。さらに、基板はPID制御したPBNヒーター上に静電チャックによって固定し、基板の裏面側には熱伝導性を向上させるため、80Paの圧力でArガスを導入して450°Cに加熱した。

【0192】前記スパッタリング終了後、前記Cu膜8が酸化しないように、たとえばAr-H<sub>2</sub>系の混合ガス雰囲気で冷却してから、ケミカルメカニカルポリッシング(CMP)法によって、前記溝外部のCu膜8およびTiN膜11を除去して、図16(E)に断面的に示すようなCu配線8aを備えた半導体装置を得た。

【0193】上記試料についてSEMによりリフロー形状を観察したところ、溝の埋め込み量が溝深さの110%以上で、電極配線は設計どおりアスペクト比1.5以下で均一に埋め込まれていた。次いで、CMPによる配線加工を行い、その配線形状をSEMによって評価したところいずれも良好であり、四端子法によって電気抵抗を測定した結果1.8μΩcm以下であった。

【0194】さらに、加速試験の結果、形成したCu配線8aは高いエレクトロマイグレーションおよびストレスマイグレーション耐性を有しており、高電流密度に対する信頼性を保証できることが確認された。

【0195】さらに、図17(A)、17(B)および17(C)は、前記スパッタリングにおいて、Cu膜8が溝6に埋め込まれる状態を模式的に示したものである。ここでは、Cuの成膜雰囲気が酸化性ガスおよび還元性ガスの混合系で、また基板を加熱しているため、成膜初期のCu中にO原子が混入する。そして、このO原子の混入

によって、基板の加熱に伴うCu膜の凝集が抑制され、図17(A)に断面的に示すように、成長初期に一樣な連続膜が成長する。

【0196】さらに、このスパッタリング中、還元性ガスとしてH<sub>2</sub>が供給されているので、堆積中のCu膜表面は常に還元され、活性な状態を保持する。この活性な状態によって、自由な表面拡散が容易に進行し、図17

(B)に断面的に示すように、Cuが溝6内に移動して充填する。

10 【0197】さらに、Cu膜は表面自由エネルギーを低下させるように、溝6内を緻密に充填する(図17(C))。

【0198】また、前記スパッタリングにおいては、酸化性ガスとしてのO<sub>2</sub>および還元性ガスとしてのH<sub>2</sub>が供給されている雰囲気中で、プラズマが発生している。このプラズマによって、電離あるいは遊離されたO<sup>+</sup>イオンあるいはラジカルやH<sup>+</sup>イオン(あるいはラジカル)は、O<sub>2</sub>やH<sub>2</sub>に比べて反応性が高いので、Cu膜成膜後、単純にO<sub>2</sub>やH<sub>2</sub>を供給し熱処理する場合に比べて、基板温度を低温化しても、高い反応速度の酸化および還元反応によってCu膜の流動が容易に進行する。ここで、酸化性ガスおよび還元性ガスは、プラズマ中で分解したガスが、不純物としてCu膜中に残存しないものであれば、前記例示のO<sub>2</sub>系やH<sub>2</sub>系などに限定されない。

【0199】なお、上記では基板温度を450°Cに設定して成膜を行ったが、200〜600°Cの温度範囲で、Si基板に対するCu原子の拡散を回避しながら成膜を行うことが可能であった。

30 【0200】また、上記では直径150mmのSi基板に対し、直径300mmのターゲットをTS間距離75mmとしたスパッタリング法でCu膜の成膜を行ったが、基板に対するスパッタ粒子の垂直入射成分を高めた長距離スパッタリング法、垂直入射成分以外のスパッタ粒子を付着させるコーリメーター板を装着するコーリメーションスパッタリング法などの異方性スパッタリング法、あるいは基板に直流電圧や高周波電圧を印加するバイアスパッタリング法などでもよい。さらに、バイアスパッタリング、長距離スパッタリングを行う場合は、成膜効率を上げるために、所要の埋め込みが得られた後は、通常の高効率の成膜に切り換えることが望ましい。

40 【0201】また、前記ではCu膜の成膜について説明したが、この他、たとえばAgやAuなどの低抵抗金属から成る導電膜であってもよく、特にAgは酸化および還元反応をCuの場合と同様に起こし易いので、酸化性ガスおよび還元性ガスの種類や混合比の選択、基板温度の適正な設定で容易に電極配線を形成する。

【0202】実施例14

この実施例は、アスペクト比2以下のコンタクトホールを形成する工程を含む半導体装置の製造方法例である。

50 【0203】図18(A)、18(B)、18(C)、



18 (D) は、この実施例の実施態様を模式的に示したものである。まず、所要の能動領域あるいは下層配線領域が予め設けられた直径 150mm の Si 基板 9 上に、CVD により  $\text{SiO}_2$  膜 7 を 600nm 厚に形成した。その後、PEP、RIE によって、たとえば直径 300~800nm のコンタクトホール 6a を形設した。

【0204】次いで、前記コンタクトホール 6a を形設した  $\text{SiO}_2$  膜 7 膜面に、Cu の拡散を防止するためのバリヤー層 11 として、たとえば厚さ 30nm の TiN 膜を成膜後、異方性スパッタリング法によって、図 18 (A) に断面的に示すごとく、膜厚 100nm の Cu 膜 8 の 1 次成膜を行った。

【0205】なお、このときチャンパー内は、 $\text{Ar}/\text{H}_2/\text{O}_2$  混合比を 11/20/2 の混合雰囲気、全圧力を 0.85 Pa とした。また、スパッターターゲットとしては、直径 300mm の純度 99.9999% の Cu を用い、かつ基板とターゲット間の距離 (TS 間距離) を 200mm に設定した。なお、成膜時の投入電力は 15kW であった。

【0206】さらに、Si 基板 9 は PID 制御した PBN ヒーター上に静電チャックによって固定し、基板の裏面側には熱伝導性を向上させるため、80Pa の圧力で Ar ガスを導入して 350°C を超えない温度に加熱した。

【0207】この後、基板温度を 450°C に加熱し、図 18 (B) に断面的に示すごとく、前記コンタクトホール 6a を全面的に埋め込むように、たとえば膜厚 300nm の Cu 膜 8 を 2 次成膜した。このときのチャンパー内雰囲気、TS 間距離は、前記 1 次成膜の場合と同じである。

【0208】この 2 次成膜のためのスパッタリング終了後、基板が冷却するまでの間は、Cu 膜の酸化を防止するため、たとえば  $\text{Ar}-\text{H}_2$  系の混合ガス雰囲気で冷却した。なお、この冷却雰囲気は、常に還元速度が酸化速度よりも速い雰囲気を保つように設定される。

【0209】次に、ケミカルメカニカルポリッシング (CMP) 法によって、前記コンタクトホール 6a 外部の Cu 膜 8 および TiN 膜を除去して、図 18 (C) に断面的に示すような、Cu プラグ 8b とした。その後、実施例 13 の場合と同様に、前記 Cu プラグ 8b 形成面に、CVD 法により  $\text{SiO}_2$  膜 7' を成膜し、溝 6 の形設、TiN 膜 11' の成膜、Cu の成膜 (溝 6 内への充填)、ケミカルメカニカルポリッシングを行って、図 18 (D) に断面的に示すような Cu 埋め込み配線 8a を備えた半導体装置を得た。

【0210】なお、電極配線は、設計どおりアスペクト比 2 のコンタクトホール 6a が均一に埋め込まれており、また、その抵抗測定を行ったところ、いずれも比抵抗が  $1.8\mu\Omega\text{cm}$  以下であった。

【0211】さらに、ビアチェーン構造の電極配線を形成した半導体装置について、加速試験を行った結果、形成した電極配線は高いエレクトロマイグレーションおよびストレスマイグレーション耐性を有しており、高電流密度に対する信頼性を保証でき、特に Cu プラグ 8b 上・下面でボイドやヒロックが発生していないことが確認され

た。

【0212】上記では、Cu を成膜する前半の段階では基板温度を 350°C に、後半の段階では基板温度を 450°C に設定したが、この温度設定は酸化性ガスおよび還元性ガスの混合比などによって適宜選択でき、また、上記のように段階付けしないで、たとえば 2 次成膜温度 450°C に上昇する過程で 1 次成膜を行うこともでき、この場合は成膜時間の短縮が可能で、生産性向上にも寄与する。

【0213】なお、この実施例の場合も、成膜法、成膜雰囲気などの条件に付いては、実施例 13 の場合と同様に、いろいろの変形、条件設定などが可能である。

【0214】実施例 15

この実施例は、アスペクト比 1 の埋め込み配線およびアスペクト比 3 のコンタクトホールの形成工程を含む半導体装置の製造方法例である。

【0215】図 19 (A)、19 (B)、19 (C) および図 20 (A)、20 (B)、20 (C)、20

(D) は、この実施例の実施態様を模式的に示したものである。まず、所要の能動領域あるいは下層配線領域が

予め設けられた直径 150mm の Si 基板 9 上に、図 19 (A) に断面的に示すごとく、CVD により膜厚 850nm の  $\text{SiO}_2$  膜 7、膜厚 50nm の SiN 膜 41、および膜厚 400nm の  $\text{SiO}_2$  膜 7' を順次積層形成した。

【0216】その後、PEP、RIE によって、前記 SiN 膜 41 をエッチングストッパーとし、図 19 (B) に断面的に示すごとく、たとえば幅 400nm、深さ 400nm の溝 6 を  $\text{SiO}_2$  膜 7' に形設した。

【0217】次いで、再び PEP、RIE を施して、SiN 膜 41 および  $\text{SiO}_2$  膜 7 をバタニングし、図 19 (C) に断面的に示すごとく、たとえば直径 300nm、深さ 900nm のコンタクトホール 6a を形設した。

【0218】その後、前記コンタクトホール 6a を形設した面に Cu の拡散を防止するためのバリヤー層として、図 20 (A) に断面的に示すごとく、たとえば厚さ 30nm の TiN 膜 11' を成膜した。

【0219】次に、異方性スパッタリング法によって、図 20 (B) に断面的に示すごとく、30kW の投入電力で、膜厚 300nm の Cu 膜 8 の 1 次成膜を行った。なお、このときチャンパー内は、 $\text{Ar}/\text{H}_2/\text{O}_2$  混合比を 11/10/2 の混合雰囲気、全圧力を 0.85 Pa とした。また、スパッターターゲットとしては、直径 300mm の純度 99.9999% の Cu を用い、かつ基板とターゲット間の距離 (TS 間距離) を 300mm に設定した。

【0220】さらに、基板は PID 制御した PBN ヒーター上に静電チャックによって固定し、基板の裏面側には熱伝導性を向上させるため、80Pa の圧力で Ar ガスを導入して 350°C を超えない温度に加熱した。

【0221】この後、基板温度を 450°C に加熱し、図 20 (C) に断面的に示すごとく、前記コンタクトホール 6a および溝 6 を全面的に埋め込むように、たとえば膜厚

300nmのCu膜8をさらに2次成膜した。このときのチャンパー内雰囲気は、Ar/H<sub>2</sub>/O<sub>2</sub> 混合比を11/20/2の混合雰囲気に変化させた。なお、TS間距離は、前記1次成膜の場合と同じである。

【0222】この2次成膜のためのスパッタリング終了後、Si基板が冷却するまでの間は、Cu膜の酸化を防止するため、たとえばAr-H<sub>2</sub>系（Ar/H<sub>2</sub>/O<sub>2</sub> 混合比を11/20/0の混合ガス）雰囲気で冷却した。なお、この冷却雰囲気は、常に還元雰囲気を保つように設定される。次に、ケミカルメカニカルポリッシング（CMP）法によって、前記溝6外部のCu膜8およびTiN11'膜を除去して、図20（D）に断面的に示すような、Cuプラグ8bおよびCu埋め込み配線8aを備えた半導体装置を得た。

【0223】なお、Cuプラグ8bおよびCu埋め込み配線8aは、設計どおりのアスペクト比で均一に埋め込まれており、またその抵抗測定を行ったところ、いずれも比抵抗が1.8μΩcm以下であった。

【0224】さらに、ビアチェーン構造の電極配線を形成した半導体装置について、加速試験を行った結果、形成した電極配線は高いエレクトロマイグレーションおよびストレスマイグレーション耐性を有しており、高電流密度に対する信頼性を保証でき、特にCuプラグ8b上・下面でボイドやヒロックが発生していないことが確認された。

【0225】なお、上記Cu膜の成膜は、異方性スパッタリング法やバイアススパッタリング法など各種の方法で行い得るが、たとえばバイアススパッタリング法で凝集を起こし難いCu膜をコンタクトホール底および側壁まで形成し、その後成膜速度の速い通常のスパッタリング法を用いれば生産性の向上を図ることができる。

【0226】また、この実施例の場合も、成膜法、成膜雰囲気などの条件などに付いては、実施例13および実施例14の場合と同様に、いろいろの変形、条件設定などが可能である。

#### 実施例16

この実施例は、アスペクト比1の埋め込み配線およびアスペクト比3のコンタクトホールの形成工程を含む半導体装置の製造方法例である。

【0227】前記図19（A）、19（B）、19（C）および図20（A）、20（B）、20（C）、20（D）を参照して、この実施例を説明する。

【0228】まず、所要の能動領域あるいは下層配線領域が予め設けられた直径150mmのSi基板9上に、図19（A）に断面的に示すごとく、CVDにより膜厚850nmのSiO<sub>2</sub>膜7、膜厚50nmのSiN膜41、および膜厚400nmのSiO<sub>2</sub>膜7'を順次積層形成した。その後、PEP、RIEによって、前記SiN膜41をエッチングストッパーとし、図19（B）に断面的に示すごとく、たとえば幅400nm、深さ400nmの溝6をSiO<sub>2</sub>膜7'に形成した。

【0229】次いで、再びPEP、RIEを施して、SiN膜

41およびSiO<sub>2</sub>膜7をバタニングし、図19（C）に断面的に示すごとく、たとえば直径300nm、深さ900nmのコンタクトホール6aを形成した。その後、前記コンタクトホール6aを形成した面にCuの拡散を防止するためのバリアー層として、図20（A）に断面的に示すごとく、たとえば厚さ30nmのTiN膜11'を成膜した。

【0230】次に、異方性スパッタリング法によって、図20（B）に断面的に示すごとく、膜厚300nmのO原子を混入（含有）したCu膜を成膜した。

【0231】なお、このときチャンパー内には、Arを55sccmの流量で供給し、全圧力を0.17Paとした。また、スパッタターゲットとしては、直径300mmのO原子を含有したCuを用い、かつ基板とターゲット間の距離（TS間距離）を300mmに設定した。なお、投入電力は30kWである。

【0232】さらに、基板はPID制御したPBNヒーター上に静電チャックによって固定し、基板の裏面側には熱伝導性を向上させるため、80Paの圧力でArガスを導入して350℃を超えない温度に加熱した。

【0233】次に、基板を高真空の搬送室を介して第2の成膜室に設置し、異方性スパッタリング法によって、図20（C）に断面的に示すごとく、膜厚300nmのCu膜を成膜した。なお、このときチャンパー内は、Ar/H<sub>2</sub>/O<sub>2</sub> 混合比を11/20/1の混合雰囲気とし、全圧力を0.85Paとした。また、スパッタターゲットとしては、直径300mmの純度99.9999%のCuを用い、かつ基板とターゲット間の距離（TS間距離）を300mmに設定した。

【0234】さらに、基板はPID制御したPBNヒーター上に静電チャックによって固定し、基板の裏面側には熱伝導性を向上させるため、80Paの圧力でArガスを導入して450℃を超えない温度に加熱した。

【0235】前記スパッタリング終了後、基板が冷却するまでの間は、Cu膜の酸化を防止するため、たとえばAr-H<sub>2</sub>系（Ar/H<sub>2</sub>/O<sub>2</sub> = 11/20/0の混合ガス）雰囲気で冷却した。なお、この冷却雰囲気は、常に還元雰囲気を保つように設定される。

【0236】その後、ケミカルメカニカルポリッシング（CMP）法によって、前記溝6外部のCu膜8およびTiN膜11'を除去して、図20（D）に断面的に示すような、Cuプラグ8bおよびCu埋め込み配線8aを備えた半導体装置を得た。

【0237】なお、Cuプラグ8bおよびCu埋め込み配線8aは、設計どおりのアスペクト比で均一に埋め込まれており、またその抵抗測定を行ったところ、いずれも比抵抗が1.8μΩcm以下であった。

【0238】さらに、ビアチェーン構造の電極配線を形成した半導体装置について、加速試験を行った結果、形成した電極配線は高いエレクトロマイグレーションおよびストレスマイグレーション耐性を有しており、高電流



密度に対する信頼性を保証でき、特にCuプラグ8b上・下面でボイドやヒロックが発生していないことが確認された。

【0239】なお、上記酸素を含むCu膜のおよびCu膜の成膜は、酸化性ガスおよび還元性ガスの供給量を適正に選べば、同一の成膜室で行ってもよく、O原子を含有したCuターゲットをそのまま連続して使用してもよい。このような方式を採れば、製造工程の短縮なども図られ、生産性の向上となる。また、O原子を含むCu膜の成膜は、O原子を含有したCuをターゲットとする代わりに、表面を予め酸化させた純度の高いCuターゲットを用いても同様の結果が得られた。

【0240】さらに、この実施例の場合も、Cuの代わりにたとえばAgやAuなどを成膜してもよいし、成膜法、成膜雰囲気などの条件などについては、実施例12～実施例14の場合と同様に、いろいろの変形、条件設定などが可能である。

#### 【0241】実施例17

まず、所要の能動領域を設けたSi基板(100)上に、下地として膜厚100nmのp-SiN膜を形成し、さらにCVDによりSiO<sub>2</sub>膜を400nm厚に形成した後、PEP、RIEにより、スペース幅800nmとして、前記SiO<sub>2</sub>膜に、幅400nmの溝を多数本形成した。

【0242】次いで、前記溝を形成したSiO<sub>2</sub>膜面上に、バリヤー層としてアモルファスWSiNを膜厚30nmに成膜後、さらにアモルファスCuTaを膜厚10nm成膜した。

【0243】前記Cu膜の1次成膜後、基板温度を350℃に上昇させて、膜厚600nmのCu膜を2次成膜した。このとき、チャンバー内は、Ar/H<sub>2</sub>/O<sub>2</sub>混合比11/10/2の混合雰囲気、全圧は0.85Paであった。

【0244】前記成膜後、膜の形状をSEMにて観察した結果、溝の深さの120%以上埋め込まれており、X線による結晶配向度の測定結果はθ-2θで、検出されたピークはCu(111)のみであり、さらにCu(111)のロックングカーブを測定した結果、その半値幅は2.0°と結晶配向は極めて良好であった。

【0245】さらに、前記成膜をCMPにて配線加工した結果は、ボイドなど一切観察されず、四端子法での抵抗測定で比抵抗が1.8μΩcm以下であった。

【0246】さらに、前記方法で形成した電極配線について、エレクトロマイグレーションおよびストレスマイグレーションを測定・評価した結果、高いエレクトロマイグレーションおよびストレスマイグレーション耐性を有していた。

【0247】上記のようにCuと濡れ性のよい下地膜を形成後、表面に酸化膜の形成されない清浄な表面が保たれた状態で、Cuの1次成膜を行うことにより、その後高温でCuの2次成膜を行っても、Cu膜がフラクチャーすることなく、しかも2次成膜時のCu原子の流動も速やかに進行し、さらに配向も向上した。

【0248】すなわち、下地膜として、Cuなどの配線用金属との濡れ性のよい素材を選択し、好ましくはその表面を清浄に保ったまま成膜を行えば、結晶配向の良好な導電膜の形成が可能となり、形成される電極配線の信頼性が一段と向上する。

【0249】また、下地膜としては、アモルファスCuTaの他に、Ta、W、Nb、Mo、アモルファスWCo、アモルファスNbCr、アモルファスCrTa、アモルファスCoV、アモルファスCoNb、アモルファスCoTaなどを用いても良好な結果が得られた。更に、下地膜を一度大気に曝し、表面に酸化膜が形成された場合でも、基板バイアスクリーニングなどのプラズマエッチングによる表面清浄化を行えば、連続成膜の場合と同様の良好な結果が得られた。

#### 【0250】実施例18

この実施例は、反射防止膜、ポリッシング停止膜としてC(カーボン)膜を設けた埋め込み電極配線およびコンタクトホール形成工程を含む半導体装置の製造方法例である。

【0251】図21(A)、21(B)、21(C)および図22(A)、22(B)、22(C)、22(D)は、この実施例の実施態様例を模式的に示したものである。

【0252】まず、所要の能動領域あるいは下層配線領域が予め設けられた直径150mmのSi基板9上に、図21(A)に断面的に示すごとく、CVDにより膜厚850nmのSiO<sub>2</sub>膜7、膜厚50nmのSiN膜41、膜厚400nmのSiO<sub>2</sub>膜7'および膜厚100nmのC膜40を順次積層形成した。

【0253】その後、PEP、RIEによって、前記SiN膜41をエッチングストッパーとし、図21(B)に断面的に示すごとく、たとえば幅400nm、深さ400nmの溝6をC膜40およびSiO<sub>2</sub>膜7'に形設した。

【0254】次いで、再びPEP、RIEを施して、SiN膜41およびSiO<sub>2</sub>膜7をバターニングし、図21(C)に断面的に示すごとく、たとえば直径300nm、深さ900nmのコンタクトホール6aを形設した。

【0255】その後、前記コンタクトホール6aを形設した面に、Cuの拡散を防止するためのバリヤー層として、図22(A)に断面的に示すごとく、たとえば厚さ30nmのTiN膜11'を成膜した。

【0256】次に、異方性スパッタリング法によって、図22(B)に断面的に示すごとく、30kWの投入電力で、膜厚300nmのCu膜8の1次成膜を行った。なお、このときチャンバー内は、Ar/H<sub>2</sub>/O<sub>2</sub>混合比を11/10/2の混合雰囲気、全圧力を0.85Paとした。また、スパッタターゲットとしては、直径300mmの純度99.9999%のCuを用い、かつ基板とターゲット間の距離(TS間距離)を300mmに設定した。

【0257】さらに、基板はPID制御したPBNヒーター上に静電チャックによって固定し、基板の裏面側には熱伝導性を向上させるため、80Paの圧力でArガスを導入し



て 350℃を超えない温度に加熱した。

【0258】この後、基板温度を 450℃に加熱し、図 22 (C) に断面的に示すごとく、前記コンタクトホール 6a および溝 6 を全面的に埋め込むように、たとえば膜厚 300nm の Cu 膜 8 をさらに 2 次成膜した。このときのチャンパー内雰囲気は、Ar / H<sub>2</sub> / O<sub>2</sub> 混合比を 11 / 20 / 2 の混合雰囲気に変化させた。なお、TS 間距離は、前記 1 次成膜の場合と同じである。

【0259】この 2 次成膜のためのスパッタリング終了後、Si 基板が冷却するまでの間は、Cu 膜の酸化を防止す 10 るため、たとえば Ar - H<sub>2</sub> 系 (Ar / H<sub>2</sub> / O<sub>2</sub> 混合比を 11 / 20 / 0 の混合ガス) 雰囲気で冷却した。なお、この冷却雰囲気は、常に還元雰囲気を保つように設定される。

【0260】次に、ケミカルメカニカルポリッシング (CMP) 法によって、C 膜 40 をポリッシング停止膜として、図 22 (D) に断面的に示すように、前記接続孔 6 外部の Cu 膜 8 および TiN 膜 11' を除去した。

【0261】その後、外周に円筒型電極を装着した石英製の円筒型チャンパー内にセットし、チャンパー内雰囲 20 気を H<sub>2</sub> / O<sub>2</sub> の混合比が 100 / 1 の混合ガスとして、外部電極に 13.56 MHz の高周波電力 800 W を 30 分間印加して、H<sub>2</sub> と O<sub>2</sub> との混合雰囲気のプラズマ中で、前記 C 膜 40 を選択的に除去し、図 22 (D) に断面的に示すような、Cu プラグ 8b および Cu 埋め込み配線 8a を備えた半導体装置を得た。

【0262】なお、Cu プラグ 8b および Cu 埋め込み配線 8a は、設計どおり高精度のアスペクト比で均一に埋め込まれており、Cu は一切酸化されなかった。すなわち、フォ 30 トエッチングによるバタニングに当たり、光の乱反射が防止されるため、レジストの加工形状が崩れる問題が解消されるとともに、CMP 加工による埋め込み配線などの過度の研磨除去なども抑制されるので、高精度に所要の電極配線などを形成し得た。

【0263】また、前記形成した半導体装置の配線部について、その抵抗測定を行ったところ、いずれも比抵抗が 1.8 μΩ cm 以下であった。さらに、ビアチェーン構造の電極配線を形成した半導体装置について、加速試験を行った結果、形成した電極配線は高いエレクトロマイグ 40 レーションおよびストレスマイグレーション耐性を有しており、高電流密度に対する信頼性を保証でき、特に Cu プラグ 8b 上・下面でボイドやヒロックが発生していないことが確認された。

【0264】なお、この実施例の場合も、Cu の代わりにたとえば Ag や Au など成膜してもよいし、成膜法、成膜雰囲気などの条件などに付いては、実施例 12 ~ 実施例 16 の場合と同様に、いろいろの変形、条件設定などが可能である。

【0265】実施例 19

本実施例は、酸化物が導電性酸化物となる導電膜を Cu の

下地膜として形成することにより、酸化還元反応を利用したリフロー技術によって Cu 埋め込み配線を形成する際、酸化性ガスの存在下における熱処理において下地膜が酸化されても、接触抵抗の上昇を回避することが可能な半導体装置の製造方法に関するものである。

【0266】図 23 (A)、23 (B)、23 (C)、23 (D)、23 (E) および 23 (F) を参照しながら説明する。

【0267】まず、図 23 (A) に示すように、所要の能動領域を設けた Si 基板 (100) 9 上に、下地として膜厚 100nm の p-SiN 膜 41 を形成し、さらに図 23 (B) に示すように CVD により SiO<sub>2</sub> 膜 7 を 400nm 厚に形成した後、PEP、RIE により、幅 400nm、スペース幅 800nm の溝 6 およびコンタクトホールを多数本形成した (図 23 (C))。コンタクトホールのアスペクト比は 0.5 であった。

【0268】この下地に TiN をバリヤー層 11 として 30nm 成膜後、Cu 膜 8 を膜厚 600nm 厚にスパッタリングにより成膜した試料、および TiN をバリヤー層 11 として 30nm 成 20 膜後、Cu の下地膜としての Nd 膜 51 を膜厚 30nm、Cu 膜 8 を膜厚 600nm でスパッタリングにより成膜した試料 (図 23 (D)) を作成した。バリヤー層 11、Nd 膜 51、Cu 膜 8 は連続的に成膜を行った。

【0269】次に、それぞれの試料につき、図 3 に示す減圧熱処理装置を用いて、実施例 2 と同様に、酸化還元反応を伴う加熱処理を行い、溝およびビアホール内部に Cu 膜 8 を埋め込んだ (図 23 (E))。

【0270】すなわち、まず減圧処理装置本体 13 の内部に設置された試料載置台 12 に試料を設置し、ロータリポン 30 プ 18 により真空排気した。このときの真空度は 0.01 Torr 程度であり、この真空排気後、表 14 に示す条件の環境下、450℃、30 分間の加熱処理を行った。

【0271】冷却後、リフロー形状を SEM により観察したが、いずれの試料も溝部分の埋め込み量が溝深さの 110% 以上で、良好な埋め込み形状を示した。

【0272】リフロー後の各試料について、SIMS を用いて酸素含有量を測定した。バリヤー層と Cu 膜の間に Nd 膜が存在する試料については、Nd 膜内に酸素が検出されたが、TiN 膜および Cu 膜中の酸素量は検出限界以下であ 40 った。一方、Nd 膜が存在しない試料については、TiN 膜中に酸素が検出された。

【0273】前記各試料につき CMP による配線加工を行い、SEM により配線形状を評価したところ、いずれも良好であった。

【0274】次に、配線抵抗測定に用いたビアチェーンの作成過程を図 24 (A)、24 (B)、24 (C)、24 (D)、24 (E) および 25 (F) に示す。

【0275】まず図 24 (A) に示すように Si (100) 基板 9 上に、膜厚 100nm の p-SiN 膜 41 を形成し、次いで図 24 (B) に示すように CVD により SiO<sub>2</sub> 膜 7 を 400nm

厚に成膜した後、幅400nm、長さ15 $\mu$ mの溝を多数本形成した(図24(C))。

【0276】この下地にTiNをバリヤー層11として30nm成膜後、Cu膜8を600nm厚にスパッタリングにより成膜した試料、およびTiNをバリヤー層11として30nm成膜後、Nb膜51を膜厚30nm、Cu膜8を膜厚600nmでスパッタリングにより成膜した試料を作成した。バリヤー層11、Nb膜51、Cu膜8は連続的に成膜を行った。

【0277】それぞれの試料につき、図3に示す減圧熱処理装置を用いて、実施例2と同様に、酸化還元反応を伴う加熱処理を行い、溝内部にCu膜8を埋め込んだ。その後CMPによる配線加工を行った(図24(D))。

【0278】続いて、Cu配線を形成した上記基板上に、図24(E)に示すように、膜厚100nmのp-SiN膜41を形成後、CVDによりSiO<sub>2</sub>膜7を400nm厚に成膜し、さらにp-SiN膜41を100nm、CVDによりSiO<sub>2</sub>膜7を400nmを順次成膜した。その後、PEP、RIEによりビアホールおよびそれらをつなぐ溝を形成した。ビアホール間隔は10 $\mu$ m、個数は500個である。

【0279】このビアホールおよび溝を有する基板上に\*

\* TiNをバリヤー層11として30nm成膜後、Cu膜8を600nm厚にスパッタリングにより成膜した試料、およびTiNをバリヤー層11として30nm成膜後、Nb膜51を膜厚30nm、Cu膜8を膜厚600nmでスパッタリングにより成膜した試料を作成した。バリヤー層11、Nb膜51、Cu膜8は連続的に成膜を行った。それぞれの試料につき、図3に示す減圧熱処理装置を用いて、実施例2と同様に、酸化還元反応を伴う加熱処理を行い、溝およびビアホール内部にCu膜を埋め込んだ。その後CMPによる配線加工を行い、ビアチェーンを作成した(図24(F))。四端子法によりビアチェーンの全電気抵抗を測定した。一方、基板上にTiNをバリヤー層として30nm成膜後、Cu膜を600nm厚にスパッタリングにより成膜し、還元雰囲気中で同様の加熱処理を行った試料につき、全電気抵抗を測定し、前述の酸化還元雰囲気中で加熱処理した試料と比較した。結果を合せて表14に示す。なお、表14中、○印は抵抗上昇が5%以内、△印は抵抗上昇が5乃至10%を表す。

【0280】

【表14】

酸化性ガス	ガス種	O <sub>2</sub> 20% - N <sub>2</sub> 80%		
	流量(l/min)	0.11		
還元性ガス	ガス種	H <sub>2</sub> 100%	H <sub>2</sub> 10% - N <sub>2</sub> 90%	
	流量(l/min)	0.3	0.5	1.0
配線抵抗	Ndあり	○	○	○
	Ndなし	○	△	△

この結果、酸化還元雰囲気中で加熱処理しても、Nd膜が存在する試料については、配線抵抗の上昇は5%以内であったが、Nd膜が無い場合には、5%を越える配線抵抗の上昇を示すものがあった。

【0281】さらにNdの代わりに、Ti、Nb、La、Sm、Re、V、Ru、Rh、Os、Ir、Ptを用いた場合にも同様な効果が得られた。特に、Nd、La、Smは、酸化反応におけるギブスの自由エネルギー変化量の絶対値が、バリヤー層として使用されているTiNの酸化反応におけるギブスの自由エネルギー変化量の絶対値よりも大きく、バリヤー層の酸化を抑制する効果がより大きかった。

【0282】実施例20

実施例19と同じ下地に、TiNをバリヤー層として30nm成膜後、Cu膜を600nm厚にスパッタリングにより成膜した試料、およびTiNをバリヤー層として30nm成膜後、Nd膜を膜厚30nm、Cu膜を膜厚600nmでスパッタリングにより成膜した試料を作成した。試料作成においては、バリヤー層およびNd膜の成膜後に基板を一旦大気中に晒した。

【0283】次いで実施例19と同じ装置を用い、O<sub>2</sub> 20% - H<sub>2</sub> 80%を0.11l/min、H<sub>2</sub> 10% - N<sub>2</sub> 90%を0.5l/minの雰囲気中で熱処理を行った。熱処理温度450℃、30分間であった。冷却後リフロー形状をSEMにより観察した。いずれの試料においても、溝部分の埋め込み量が溝深さの110%以上で、良好な埋め込み形状を示した。リフロー後の各試料について、SIMSを用いて酸素含有量を測定した。バリヤー層とCu膜の間にNd膜が存在する試料については、Nd膜内に酸素が検出されたが、TiN膜およびCu膜中の酸素量は検出限界以下であった。一方、Nd膜が存在しない試料については、TiN膜中に酸素が検出された。

【0284】前記各試料につきCMPによる配線加工を行い、SEMにより配線形状を評価したところ、いずれも良好であった。さらに実施例19と全く同様にして、四端子法によりビアチェーンの全電気抵抗を測定、評価した。すなわち、同様の基板上に、TiNをバリヤー層として30nm成膜後、大気に晒すことなくCu膜を600nm厚にスパッタリングにより成膜して、還元雰囲気中で同様に熱



処理を行い全電気抵抗を測定し、この還元雰囲気中で熱処理した試料と前記の酸化還元雰囲気中で熱処理した試料について全電気抵抗を比較した。この結果、Nd膜が存在する試料では、抵抗の上昇が5%以内であったが、Nd膜が無い場合には、10%を越える配線抵抗の上昇が認められた。

#### 実施例2 1

実施例1 9と同じ下地に、TiN をバリヤー層として30nm成膜後、Cu膜を600nm厚にスパッタリングにより成膜した試料、およびTiN をバリヤー層として30nm成膜後、Mn 10とW の合金膜を膜厚30nm、Cu膜を膜厚600nm でスパッタリングにより成膜した試料を作成した。バリヤー層、Mn-W 合金膜、Cu膜は真空中で連続的に成膜を行った。

【0285】次いで、実施例1 9と同じ装置を用い、O<sub>2</sub> 20% - H<sub>2</sub> 80% を0.11l/min、H<sub>2</sub> 10% - N<sub>2</sub> 90% を0.5l/minの雰囲気中で熱処理を行った。熱処理温度450℃、30分間であった。冷却後リフロー形状をSEMにより観察した。いずれの試料においても、溝部分の埋め込み量が溝深さの110%以上で、良好な埋め込み形状を示した。

【0286】リフロー後の各試料について、SIMSを用いて酸素含有量を測定した。バリヤー層とCu膜の間にMn-W 合金膜が存在する試料については、Mn-W 合金膜内に酸素が検出されたが、TiN 膜およびCu膜中の酸素量は検出限界以下であった。一方、Mn-W 合金膜が存在しない試料については、TiN 膜中に酸素が検出された。

【0287】前記各試料につきCMPによる配線加工を行い、SEMにより配線形状を評価したところ、いずれも良好であった。さらに実施例1 9と全く同様にして、四端子法によりビアチェーンの全電気抵抗を測定、評価した。すなわち同様の基板上に、TiN をバリヤー層として30nm成膜後、大気に晒すことなくCu膜を600nm厚にスパッタリングにより成膜して、還元雰囲気中で同様に熱処理を行い全電気抵抗を測定し、この還元雰囲気中で熱処理した試料と前述の酸化還元雰囲気中で熱処理した試料について全電気抵抗を比較した。この結果、Mn-W 合金膜が存在する試料では、抵抗の上昇が5%以内であったが、Mn-W 合金膜が無い試料については、10%を越える配線抵抗の上昇が認められた。

【0288】Mn-W 合金の代わりに、La-Ni合金、Pb-Ru合金、Bi-Ru合金、Ti-Rh合金、Ti-Os合金、Pb-Os合金、Pb-Ir合金を用いた場合にも同様な効果が認められた。 実施例2 2

実施例1 9と同じ下地に、TiN をバリヤー層として30nm成膜後、Cu膜を600nm厚にスパッタリングにより成膜した試料、およびTiN をバリヤー層として30nm成膜後、V 膜を膜厚30nm、Cu膜を膜厚600nm でスパッタリングにより成膜した試料を作成した。バリヤー層、V 膜、Cu膜は真空中で連続的に成膜を行った。

【0289】次いで、実施例1 9と同じ装置を用い、O

2 20% - H<sub>2</sub> 80% を0.11l/min、H<sub>2</sub> 10% - N<sub>2</sub> 90% を0.5l/minの雰囲気中で熱処理を行った。熱処理温度450℃、30分間であった。冷却後リフロー形状をSEMにより観察した。いずれの試料においても、溝部分の埋め込み量が溝深さの110%以上で、良好な埋め込み形状を示した。

【0290】リフロー後の各試料について、SIMSを用いて酸素含有量を測定した。バリヤー層とCu膜の間にV 膜が存在する試料については、V 膜内に酸素が検出されたが、TiN 膜およびCu膜中の酸素量は検出限界以下であった。一方、V 膜が存在しない試料については、TiN 膜中に酸素が検出された。また、V 膜が存在する試料については、Cu膜とV 膜との界面付近に、Cu<sub>x</sub>V<sub>1-x</sub>なる化合物が形成されていることがわかった。

【0291】前記各試料につきCMPによる配線加工を行い、SEMにより配線形状を評価したところ、いずれも良好であった。さらに実施例1 9と全く同様にして、四端子法によりビアチェーンの全電気抵抗を測定、評価した。すなわち、同様の基板上に、TiN をバリヤー層として30nm成膜後、大気に晒すことなくCu膜を600nm厚にスパッタリングにより成膜して、還元雰囲気中で同様に熱処理を行い全電気抵抗を測定し、この還元雰囲気中で熱処理した試料と前述の酸化還元雰囲気中で熱処理した試料について全電気抵抗を比較した。この結果、V 膜が存在する試料では、抵抗の上昇が5%以内であったが、V 膜が無い試料については、5乃至10%の範囲の配線抵抗の上昇が認められた。

【0292】以上の実施例1 9乃至2 2で明らかなように、酸化物が導電体となる物質からなる導電膜をCuの下地膜として形成することにより、Cu埋め込み配線を酸化還元を利用したリフロー技術を用いて作成する際、酸化性ガスの存在下における熱処理において、下地膜が酸化されても、接触抵抗の上昇を回避し、高い信頼性を有する半導体装置を提供できる。

【0293】

【発明の効果】以上詳述したように、本発明に係る第1～第3の半導体装置の製造方法においては、実質的にリフロー温度の大幅な低温化が可能となり、たとえばCuの半導体基板側への拡散も抑制されるので、半導体の特性低下なども容易に、また確実に回避しながら、埋め込み配線方式の信頼性の高い半導体装置を得ることができ。また、本発明に係る第4の半導体装置の製造方法においては、導電性金属のリフローにより埋め込み配線など形成するに当たって、溝部などに空孔が発生・残留しないように、堆積させた金属膜の一部を予め除去しておくので、常に配線組織が緻密で、かつ良好で一様な特性を備えた信頼性の高い半導体装置の製造が可能となる。

【0294】さらに、本発明に係る第5～第7の半導体装置の製造方法においては、前記埋め込み配線部となる



溝部などのアスペクト比が高い場合でも、精度よく緻密な組織を有する配線が容易に形成される。しかも、特に第5および第6の半導体装置の製造方法では、成膜埋め込み、すなわち金属を成膜しながら溝などの埋め込みを、比較的低温で行い得るので、生産性やプロセスマージンの向上を図り得る。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法において、リフローによる埋め込み配線形成態様を説明するための模式図である。

【図2】(A)、(B)、(C)および(D)は、本発明に係る半導体装置の製造方法例における電極配線の形成実施態様を模式的に示す断面図である。

【図3】本発明に係る半導体装置の製造方法例において用いる減圧熱処理装置の概略構成を示す図である。

【図4】(A)は、本発明に係る半導体装置の製造方法例において、Cu膜リフロー後の断面状態を示す顕微鏡写真である。(B)は、(A)に示す実施例と対比して示される比較例のCu膜リフロー後の断面状態を示す顕微鏡写真である。

【図5】本発明に係る半導体装置の製造方法例におけるリフロー時の還元性ガス流量と熱処理装置内圧との関係図である。

【図6】(A)は、本発明に係る半導体装置の製造方法例において、Cu膜リフロー前の断面状態を示す顕微鏡写真である。(B)は、本発明に係る半導体装置の製造方法例において、Cu膜リフロー後の断面状態を示す顕微鏡写真である。

【図7】本発明に係る半導体装置の製造方法例において用いる加圧・熱処理装置の概略構成を示す図である。

【図8】本発明に係る半導体装置の製造方法例において一軸加圧・加熱処理時の状態を断面的に示す模式図である。

【図9】本発明に係る半導体装置の製造方法において一軸応力とリフロー度合いとの関係例を示す曲線図である。

【図10】(A)は、半導体装置の製造方法例において一軸応力を付与してリフローさせた実施例の場合を示す顕微鏡写真である。(B)は、半導体装置の製造方法例において一軸応力を付与せずにリフローさせた比較例の場合を示す顕微鏡写真である。

【図11】本発明に係る半導体装置の製造方法例において用いるスパッタ・加圧・熱処理装置の概略構成を示す図である。

【図12】半導体装置の他の製造方法例において一軸応力を付与してリフローさせた場合と一軸応力付与せずにリフローさせた場合とについてリフロー度合いとSi基板温度の関係を比較して示す曲線図である。

【図13】(A)は、本発明に係る半導体装置の製造方法例において、スパッタによるCu成膜時の粒子入射角の

影響を示すものである。(B)は、図13(A)におけるターゲットと位置関係に基づいて、Cu成膜直後の断面を模式的に示す図である。

【図14】(A)は、本発明に係る半導体装置の製造方法例において、スパッタによるCu成膜時の粒子入射角の影響を示すものである。(B)は、図14(A)におけるターゲットと位置関係に基づいて、Cu成膜直後の断面を模式的に示す図である。

【図15】本発明に係る半導体装置の製造方法例において用いるさらに他の加圧・熱処理装置の概略構成を示す図である。

【図16】(A)、(B)、(C)、(D)および(E)は、本発明に係る半導体装置の製造方法例における電極配線の他の形成実施態様を模式的に示す断面図である。

【図17】(A)、(B)および(C)は、本発明に係る半導体装置の製造方法例において、導電膜の成膜・リフローによる埋め込み配線形成態様を説明するための模式図である。

【図18】(A)、(B)、(C)および(D)は、本発明に係る半導体装置の製造方法例におけるさらに他の電極配線の形成実施態様を模式的に示す断面図である。

【図19】(A)および(B)は、本発明に係る半導体装置の製造方法例において、接続部を含む配線部のパターニングの実施態様を模式的に示す断面図である。

【図20】(A)、(B)、(C)および(D)は、本発明に係る半導体装置の製造方法例において、接続部を含む配線の形成実施態様を模式的に示す断面図である。

【図21】(A)、(B)および(C)は、本発明に係る半導体装置の製造方法例において、接続部を含む配線部のパターニングの他の実施態様を模式的に示す断面図である。

【図22】(A)、(B)、(C)および(D)は、本発明に係る半導体装置の製造方法例において、接続部を含む配線の他の形成実施態様を模式的に示す断面図である。

【図23】(A)、(B)、(C)、(D)、(E)および(F)は、本発明に係る半導体装置の製造方法例における電極配線の他の形成実施態様を模式的に示す断面図である。

【図24】(A)、(B)、(C)、(D)、(E)および(F)は、本発明に係る半導体装置の製造方法例における電極配線の他の形成実施態様を模式的に示す断面図である。

【図25】(A)および(B)は、従来の半導体装置の製造方法例において、導電膜のリフローによる埋め込み配線形成の態様を模式的に示す断面図である。

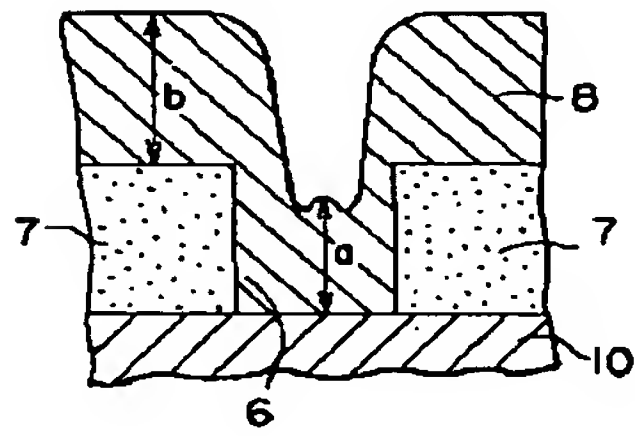
【図26】(A)および(B)は、従来の半導体装置の製造方法例において、導電膜のリフローによる埋め込み配線形成の他の態様を模式的に示す断面図である。

【図27】(A)、(B)および(C)は、従来の半導体装置の製造方法において、スパッタリングによる導電膜の成膜態様を模式的に示す断面図である。

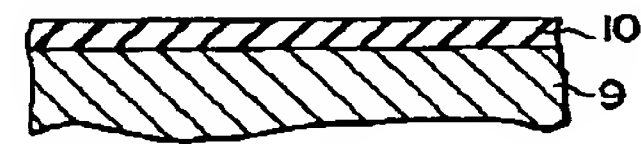
\*【符号の説明】

6……溝 7……SiO<sub>2</sub>膜 8……導電膜 9……基板

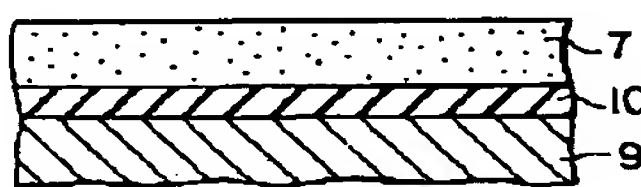
【図1】



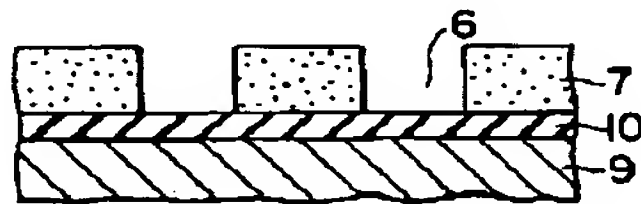
【図2】



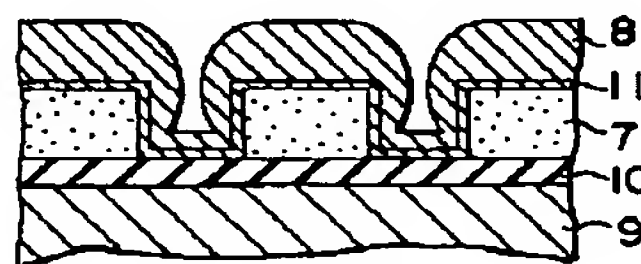
(A)



(B)

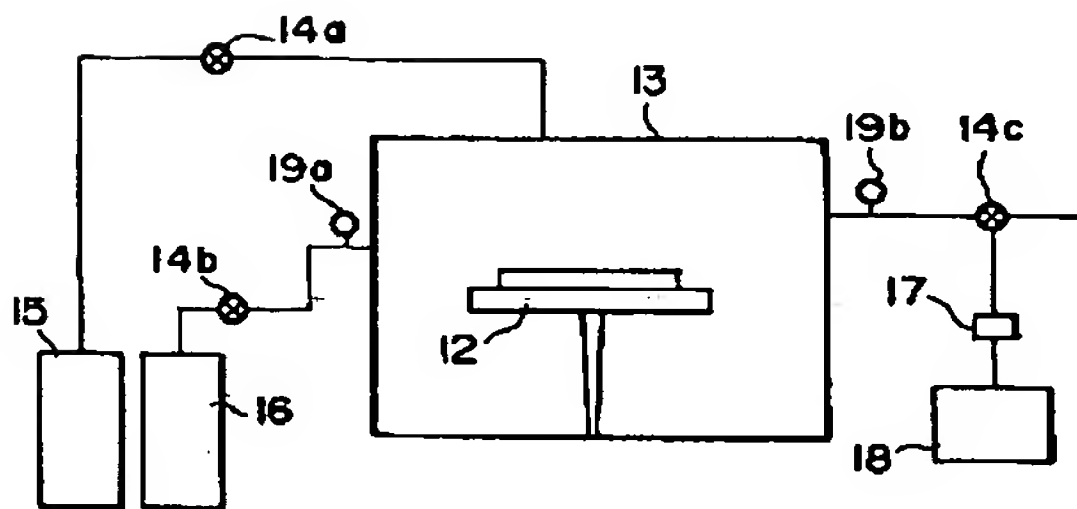


(C)

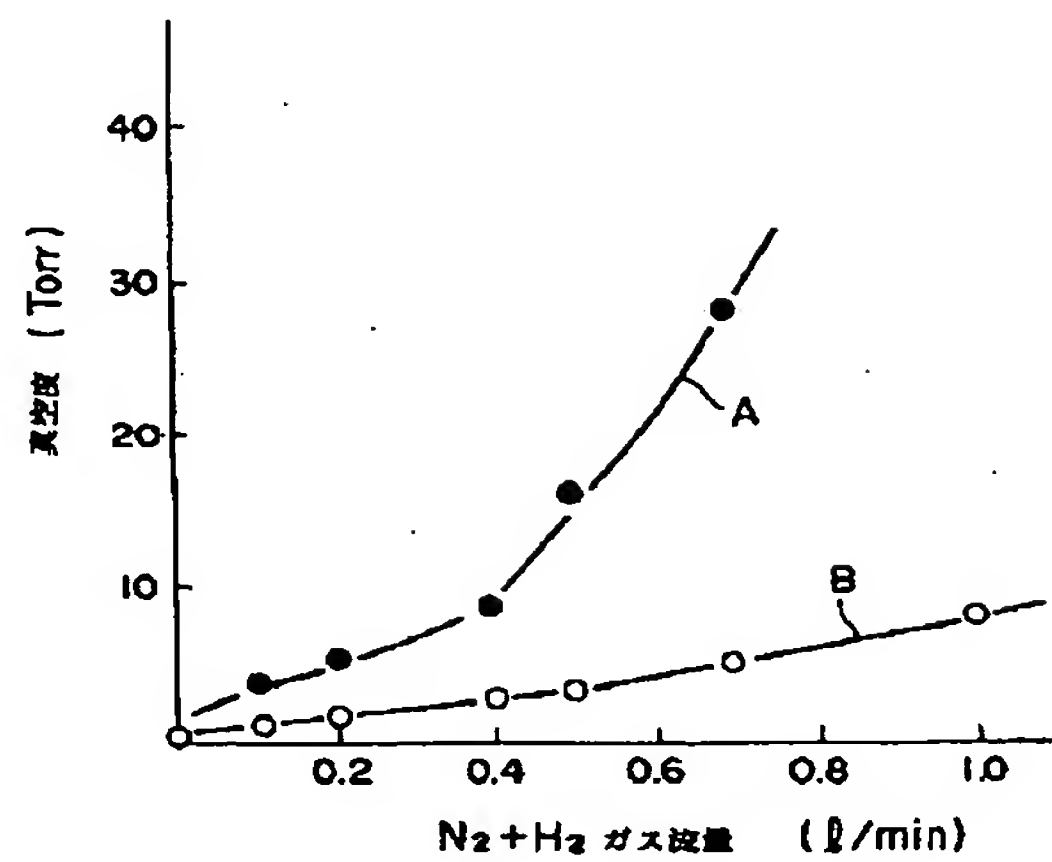


(D)

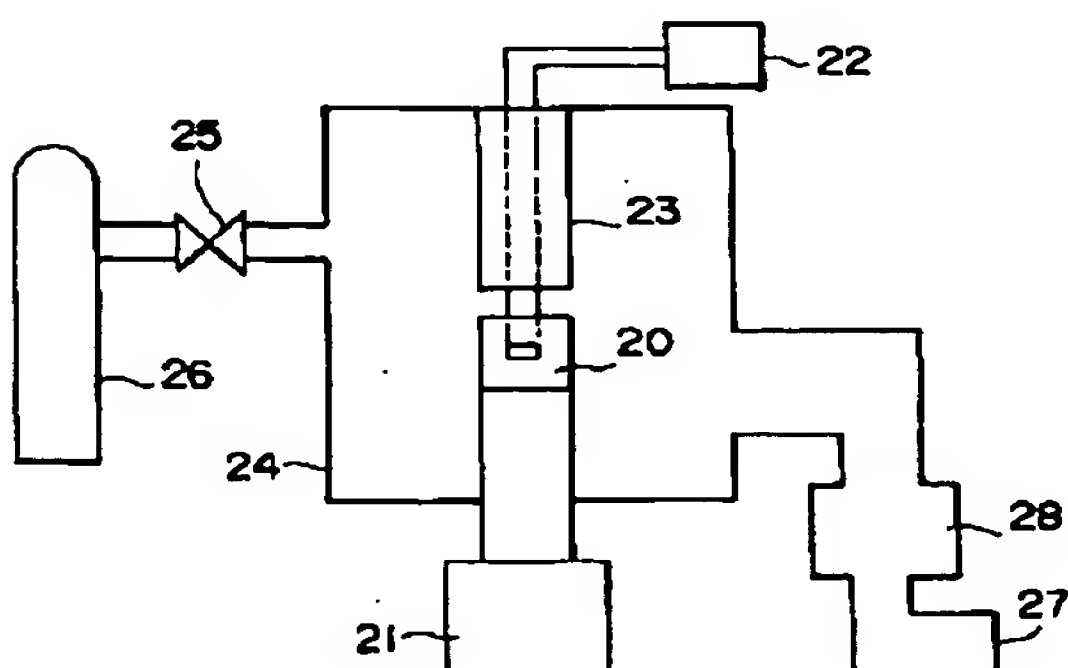
【図3】



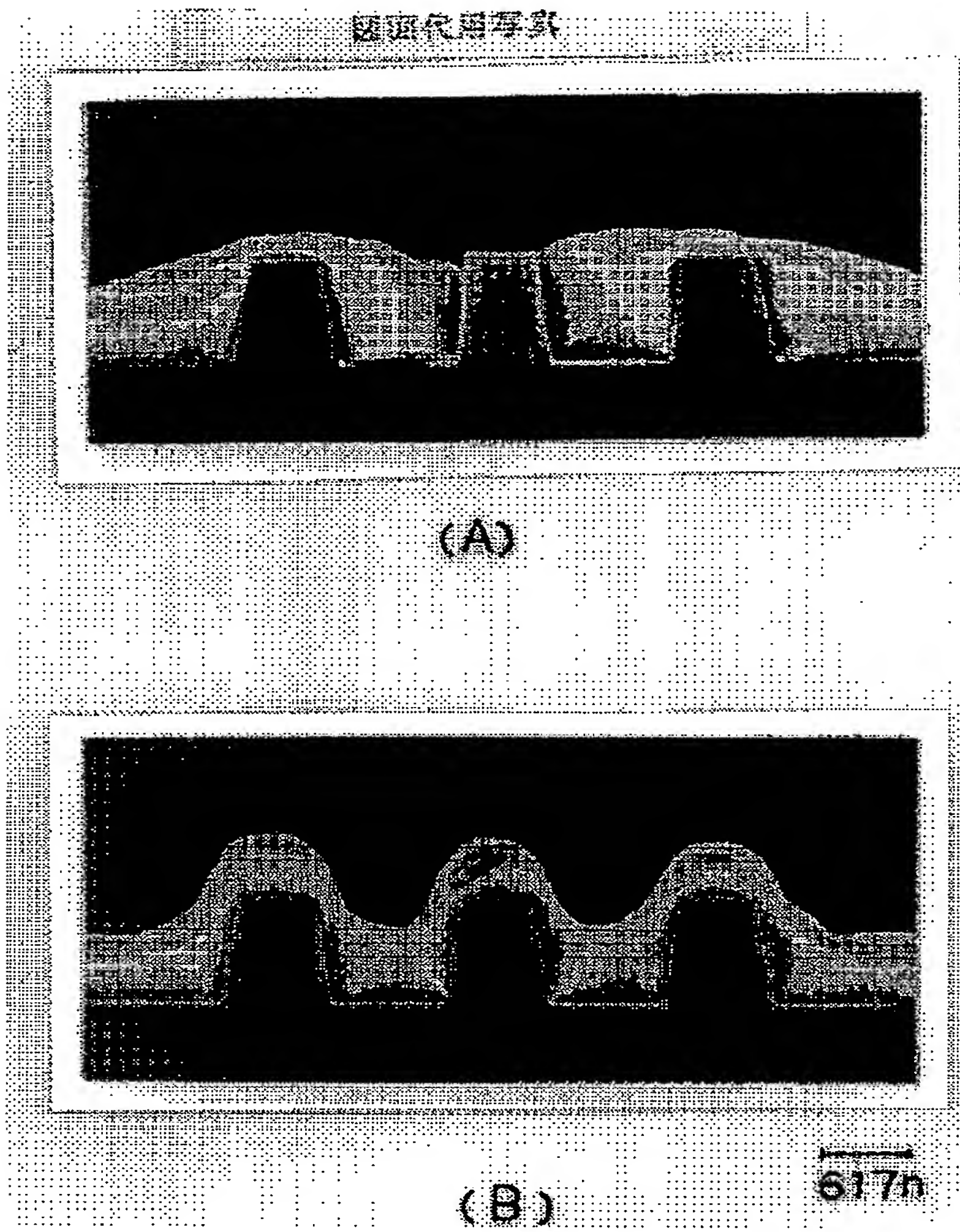
【図5】



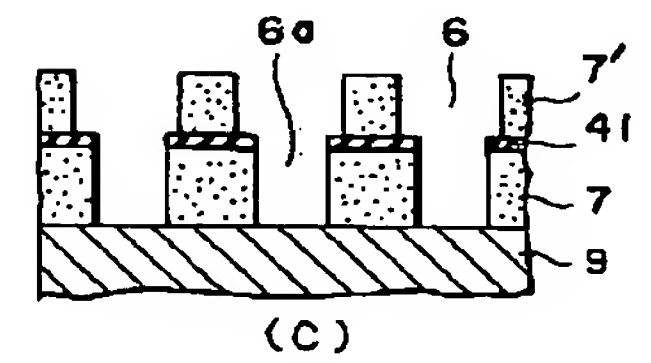
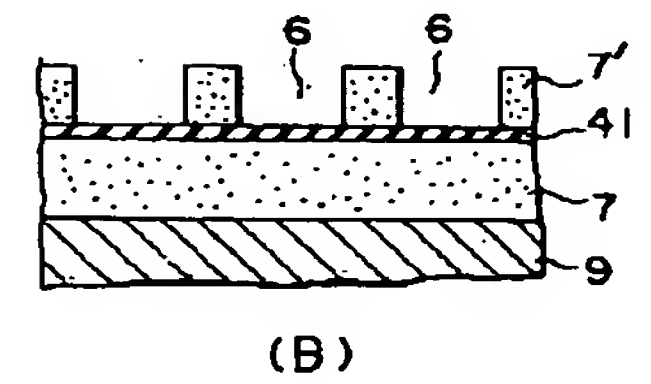
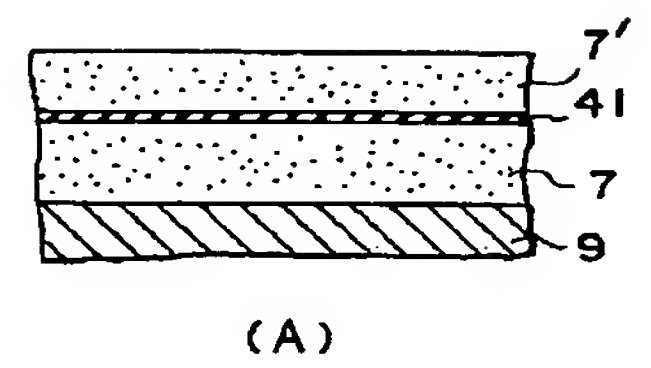
【図7】



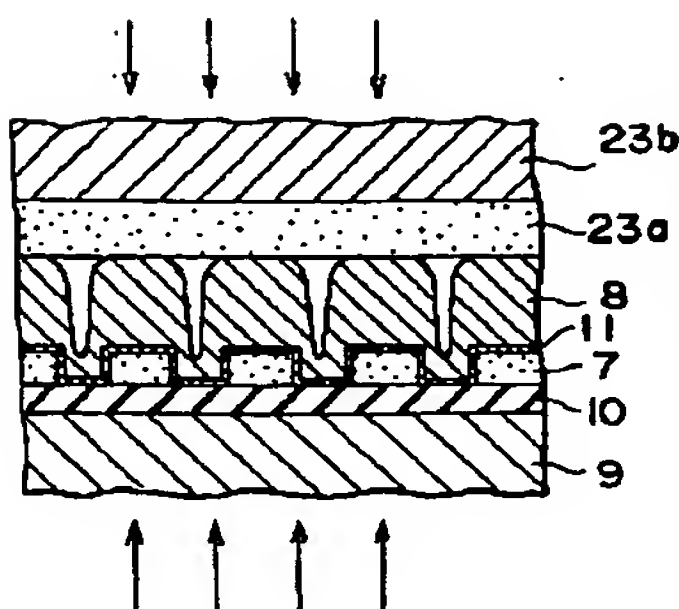
【図4】



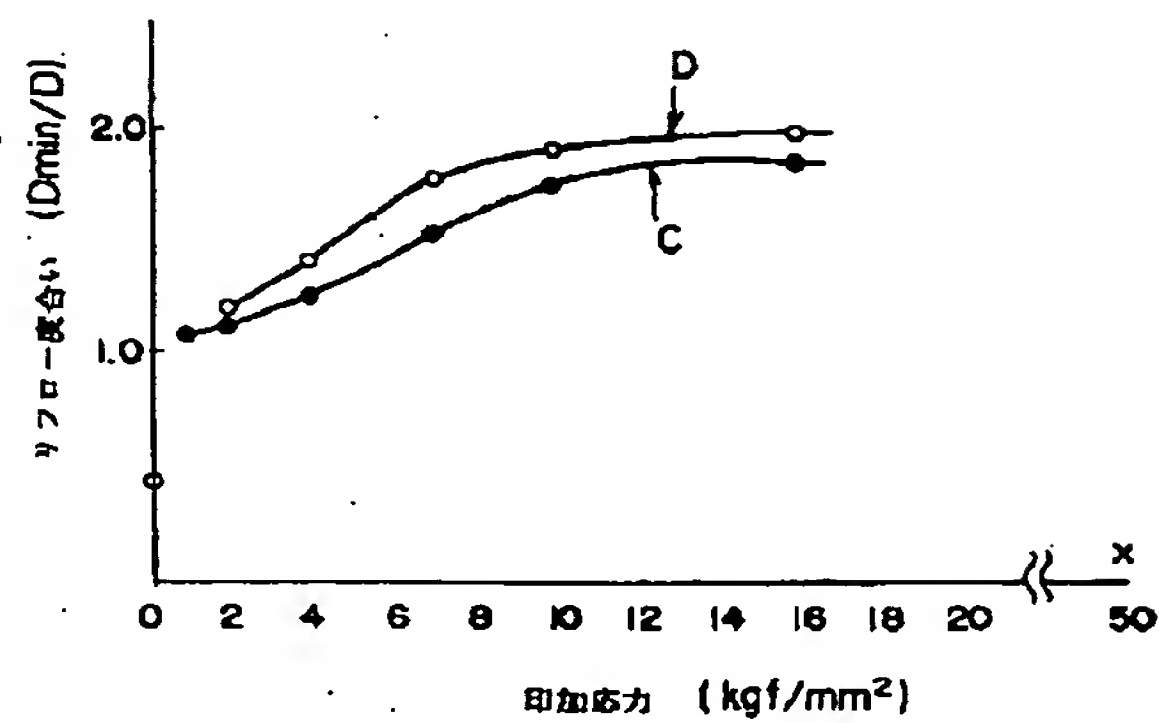
【図19】



【図8】



【図9】





【図6】

図面代用写真

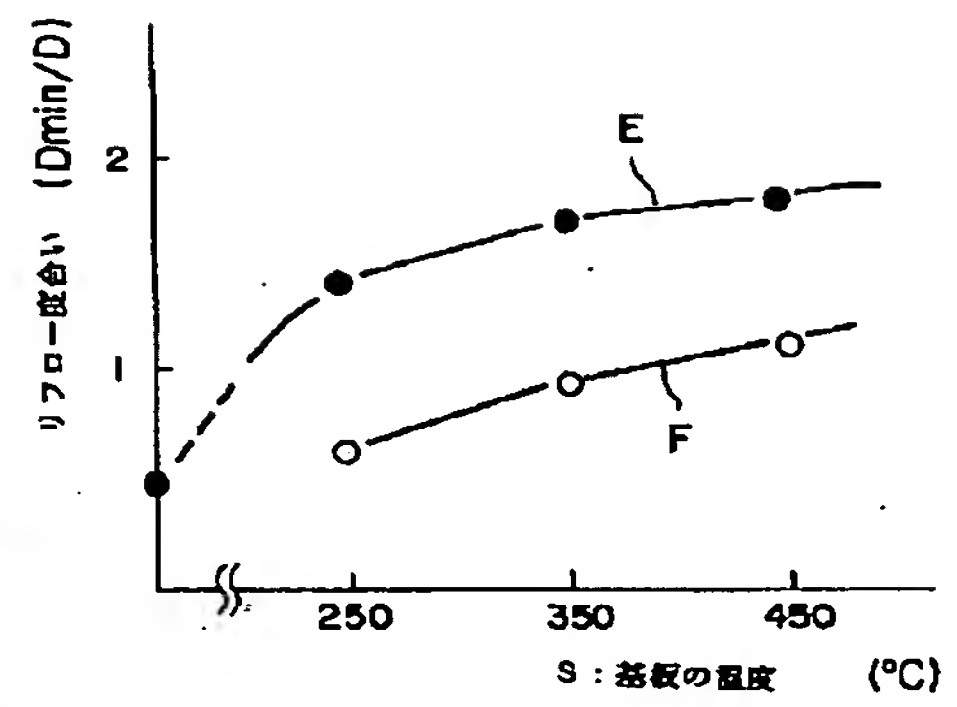


(A)

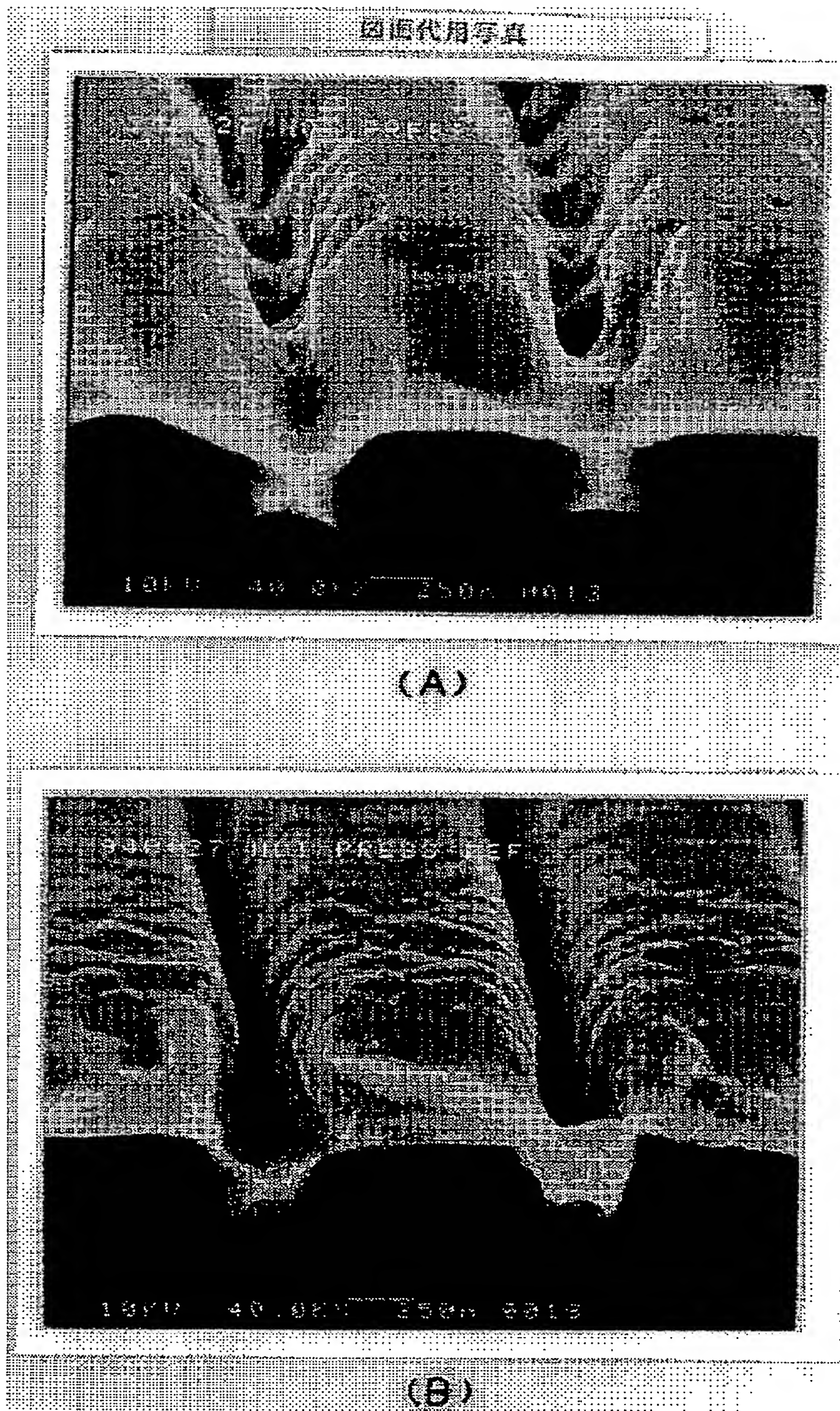


(B)

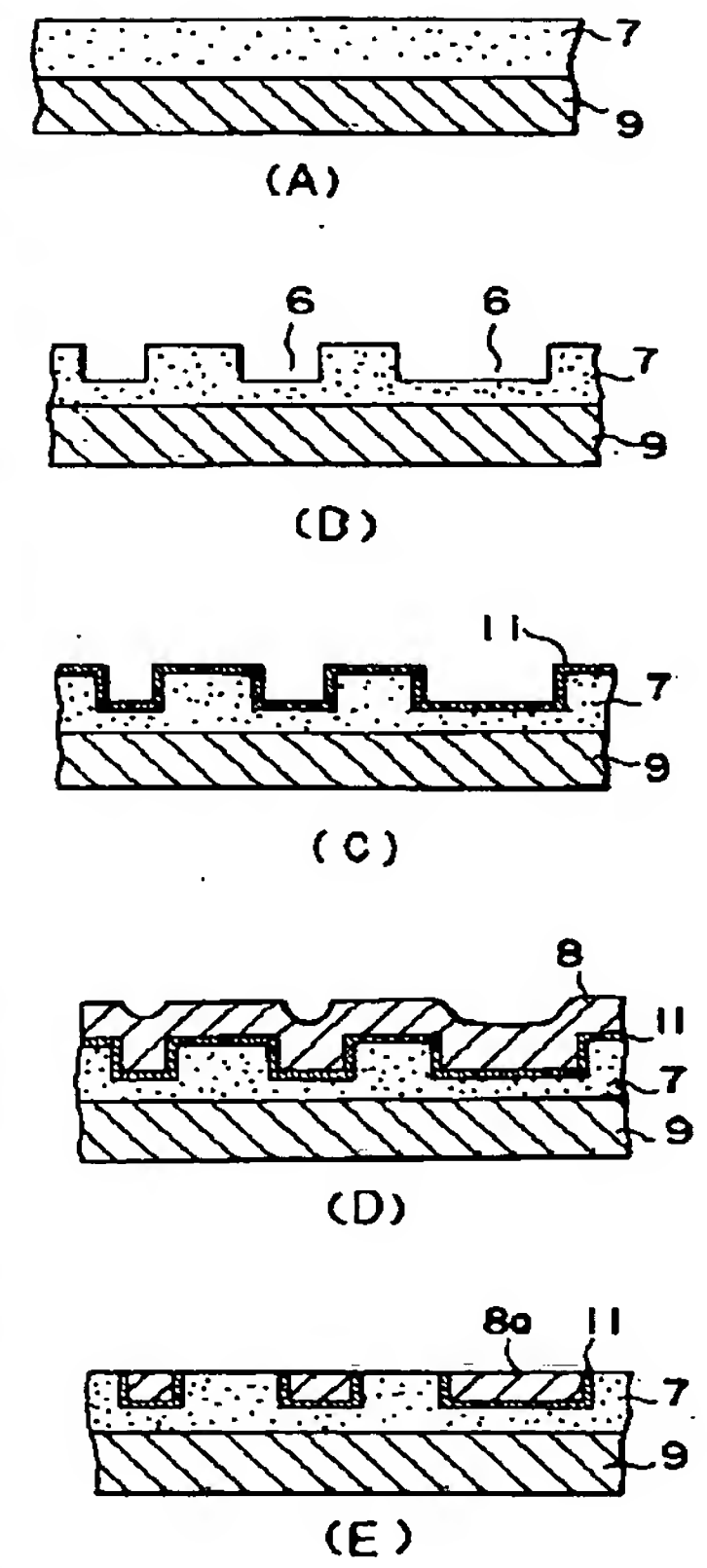
【図12】



【図10】

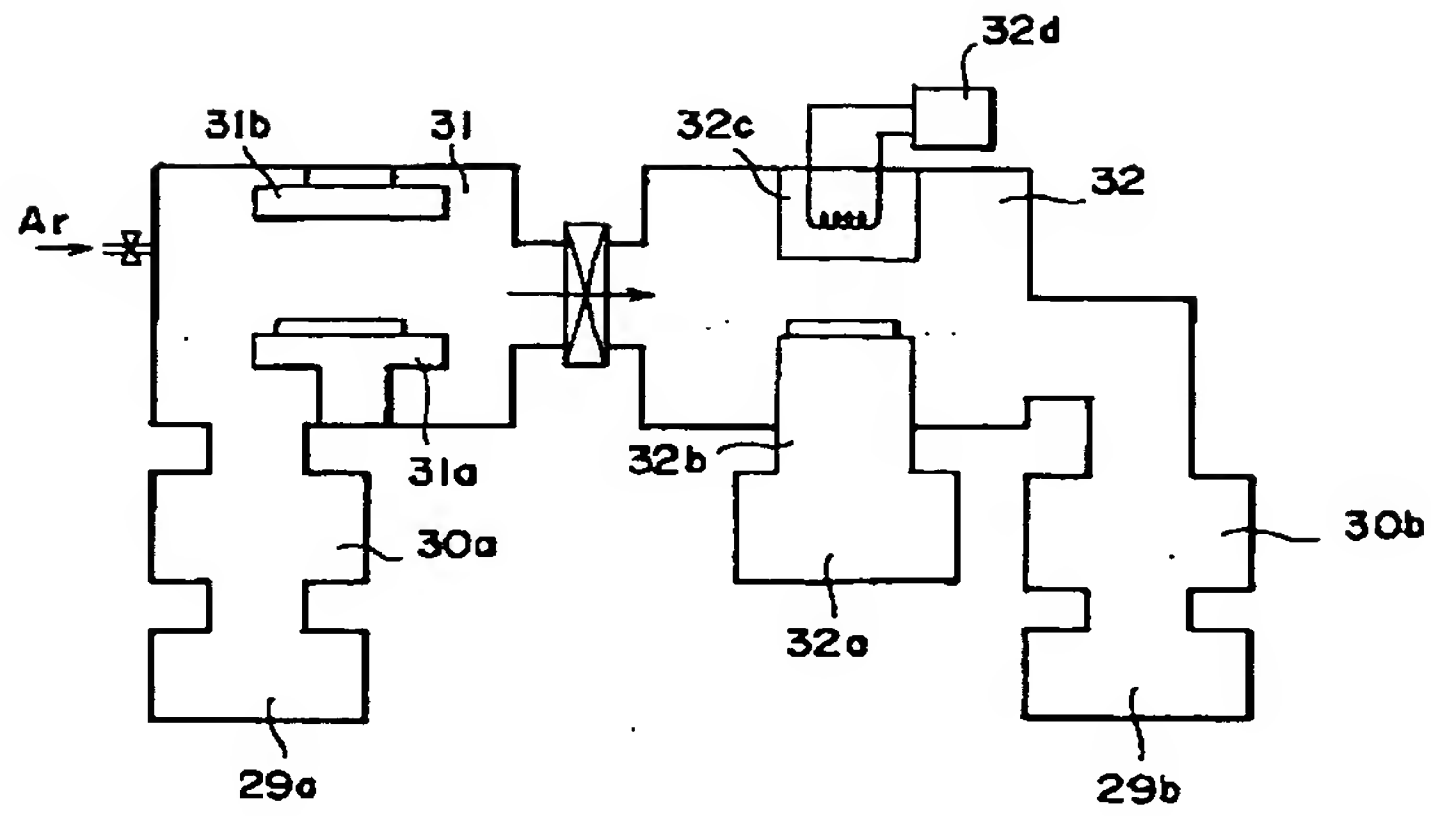


【図16】

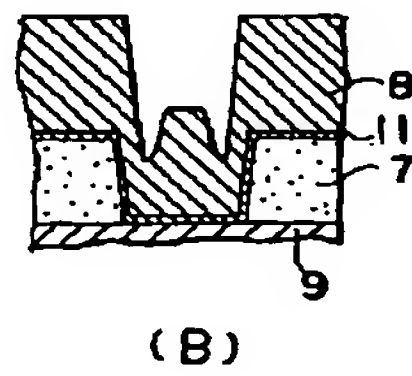
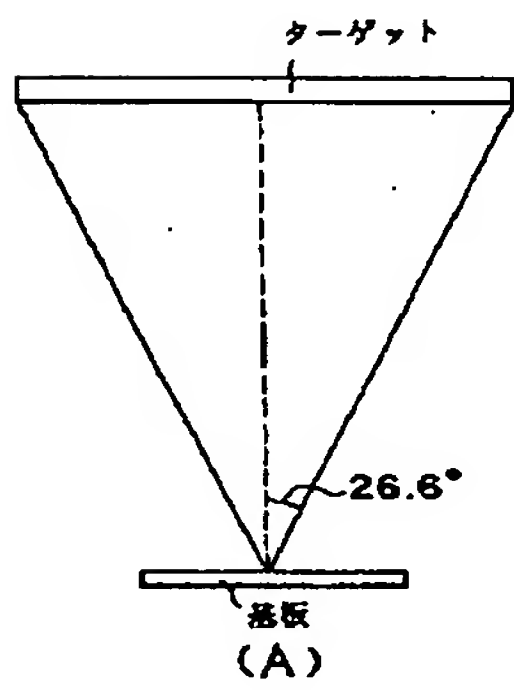




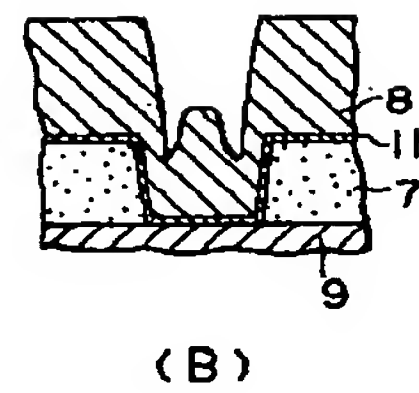
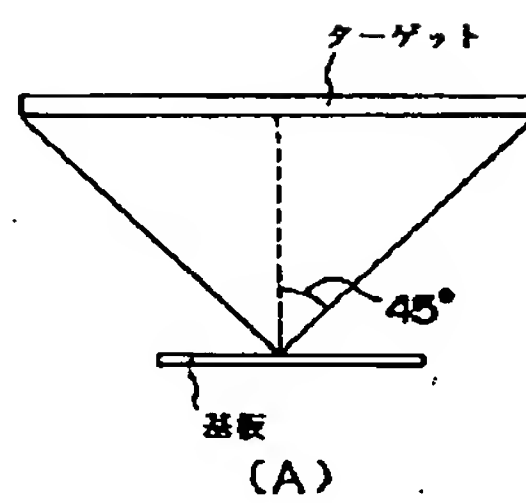
【図11】



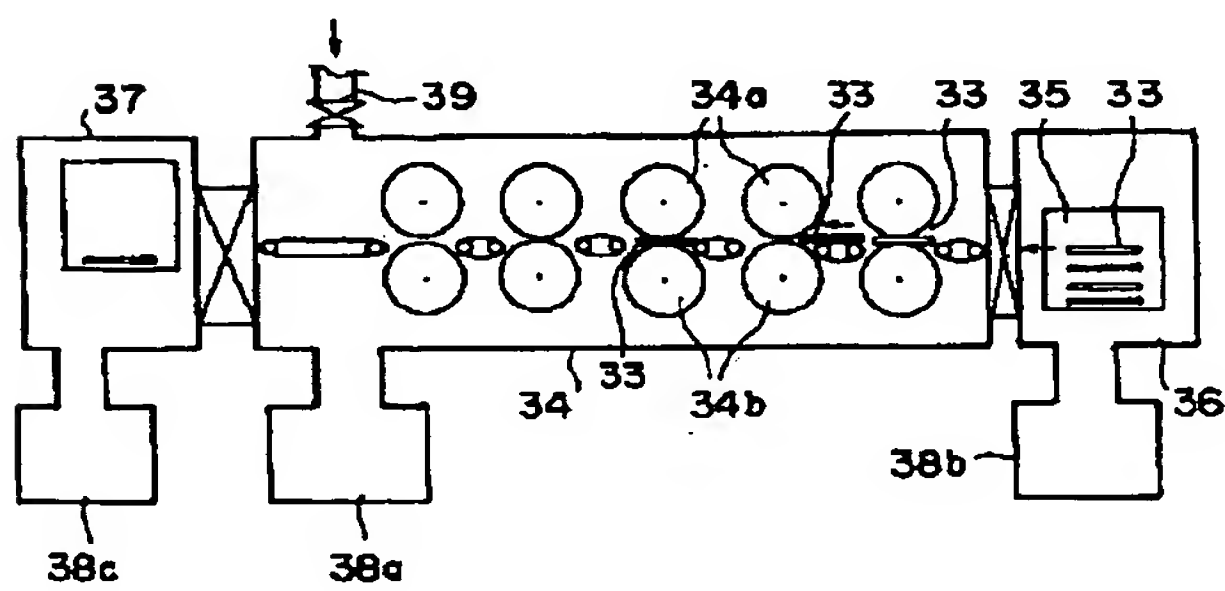
【図13】



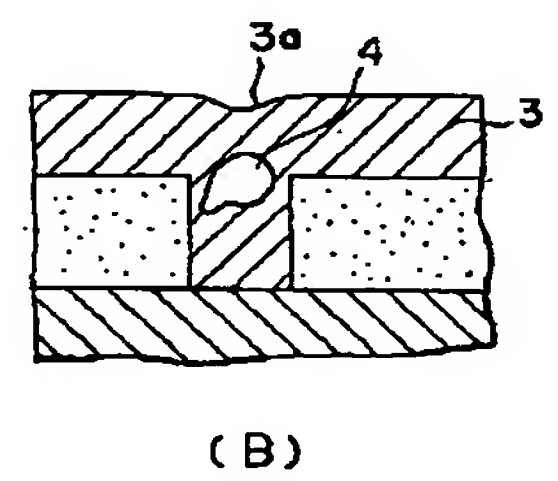
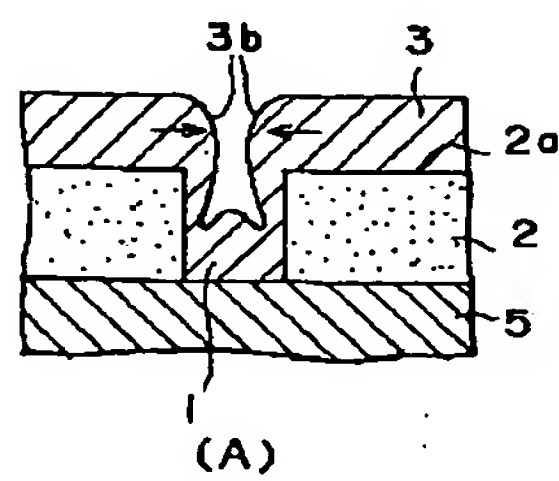
【図14】



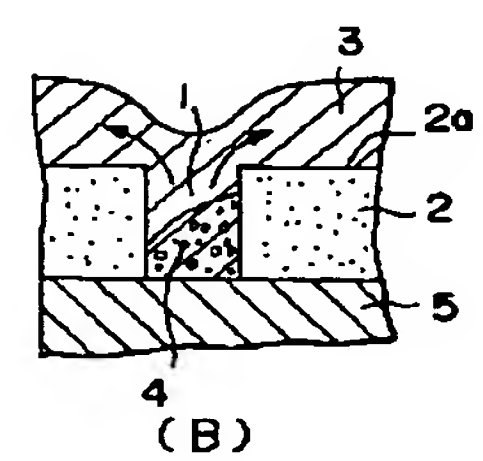
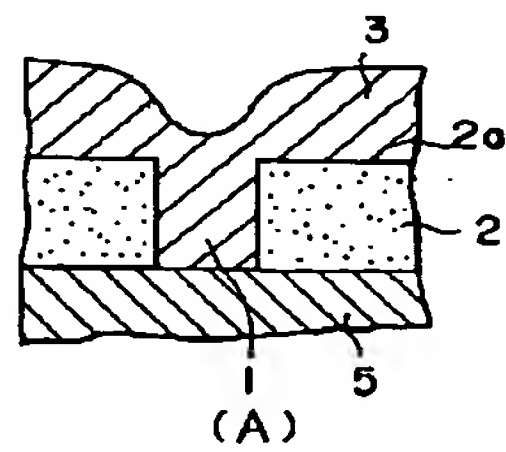
【図15】



【図25】

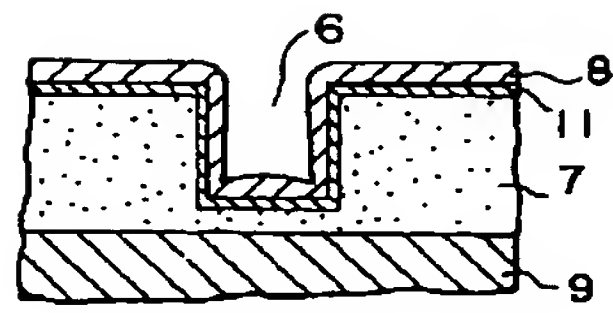


【図26】

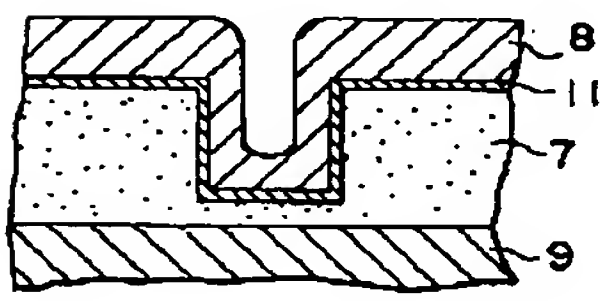




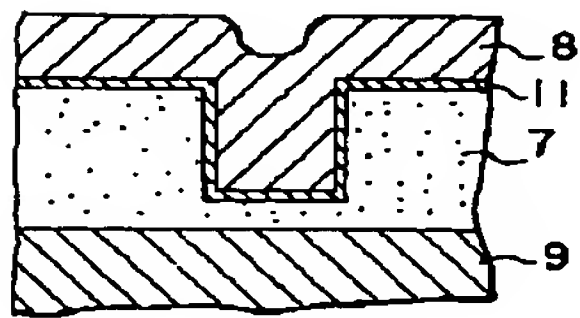
【図17】



(A)

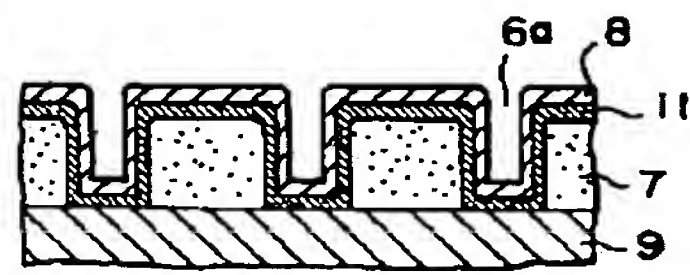


(B)

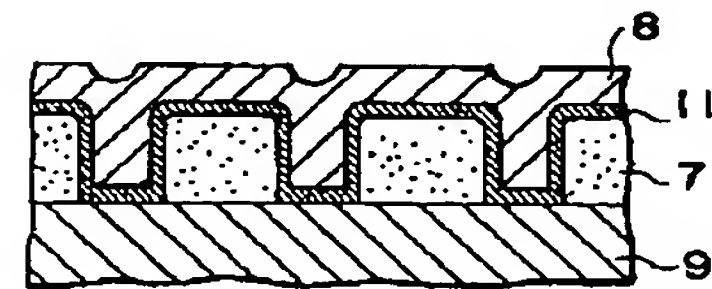


(C)

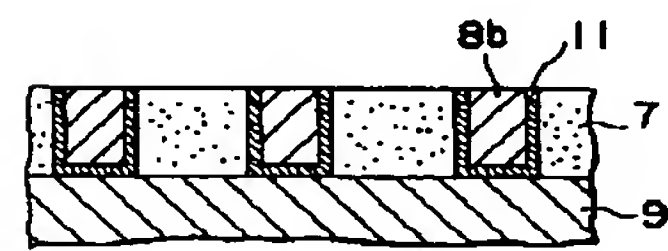
【図18】



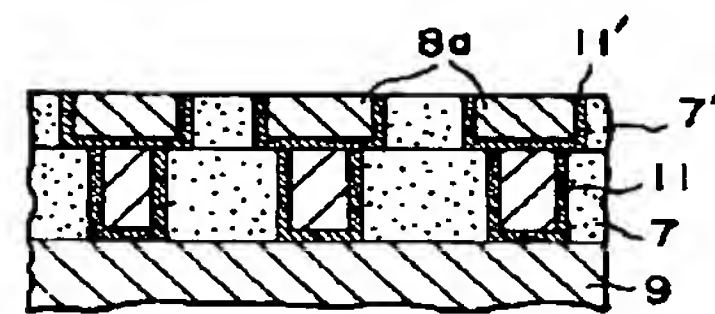
(A)



(B)

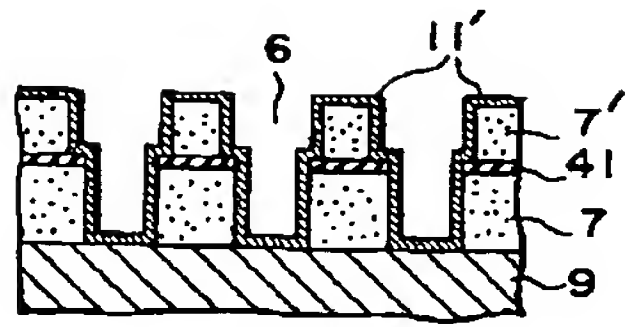


(C)

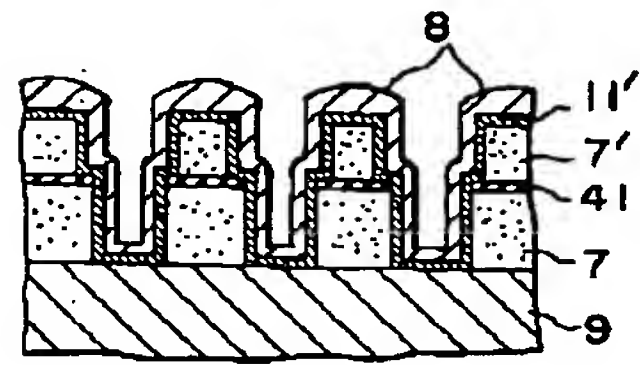


(D)

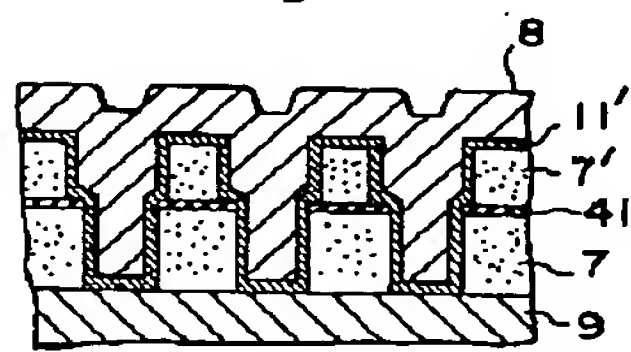
【図 20】



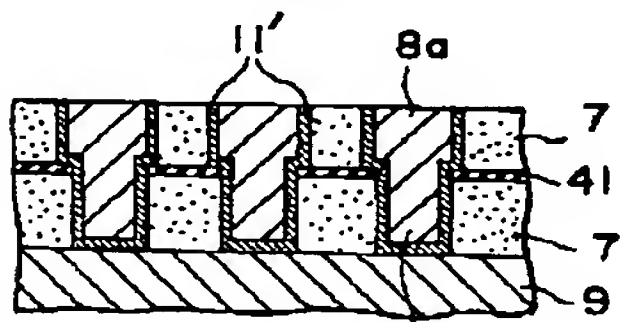
(A)



(B)

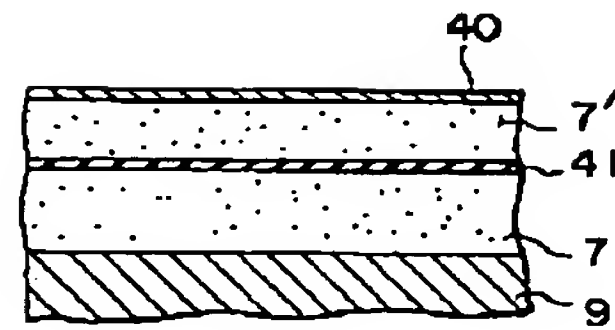


(C)

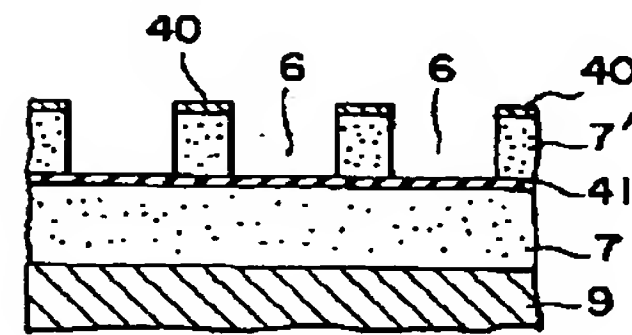


(D)

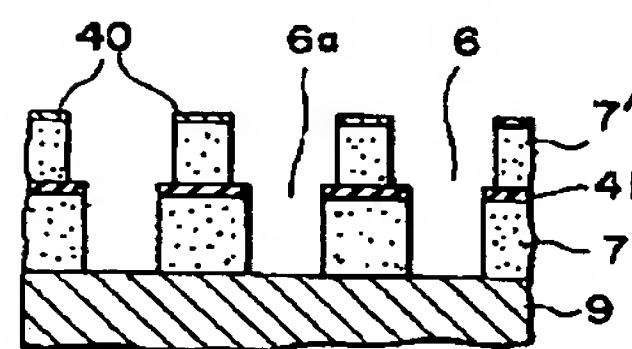
【図 21】



(A)

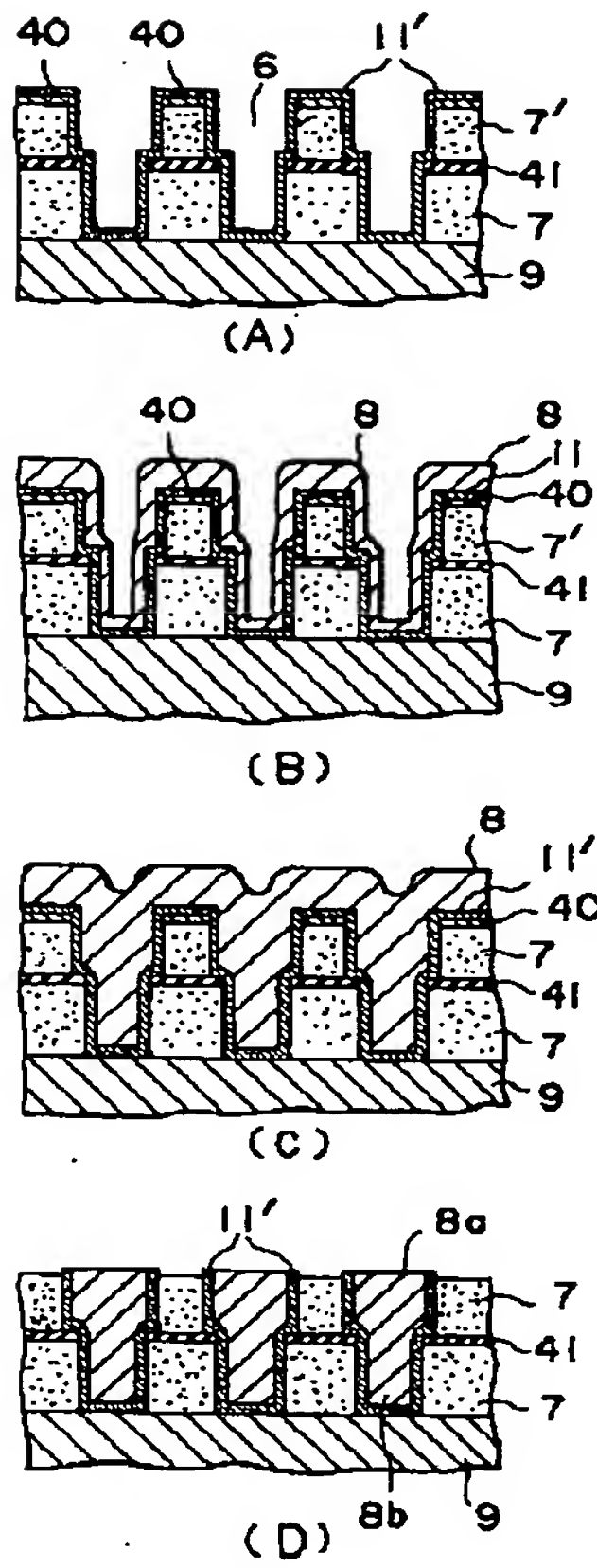


(B)

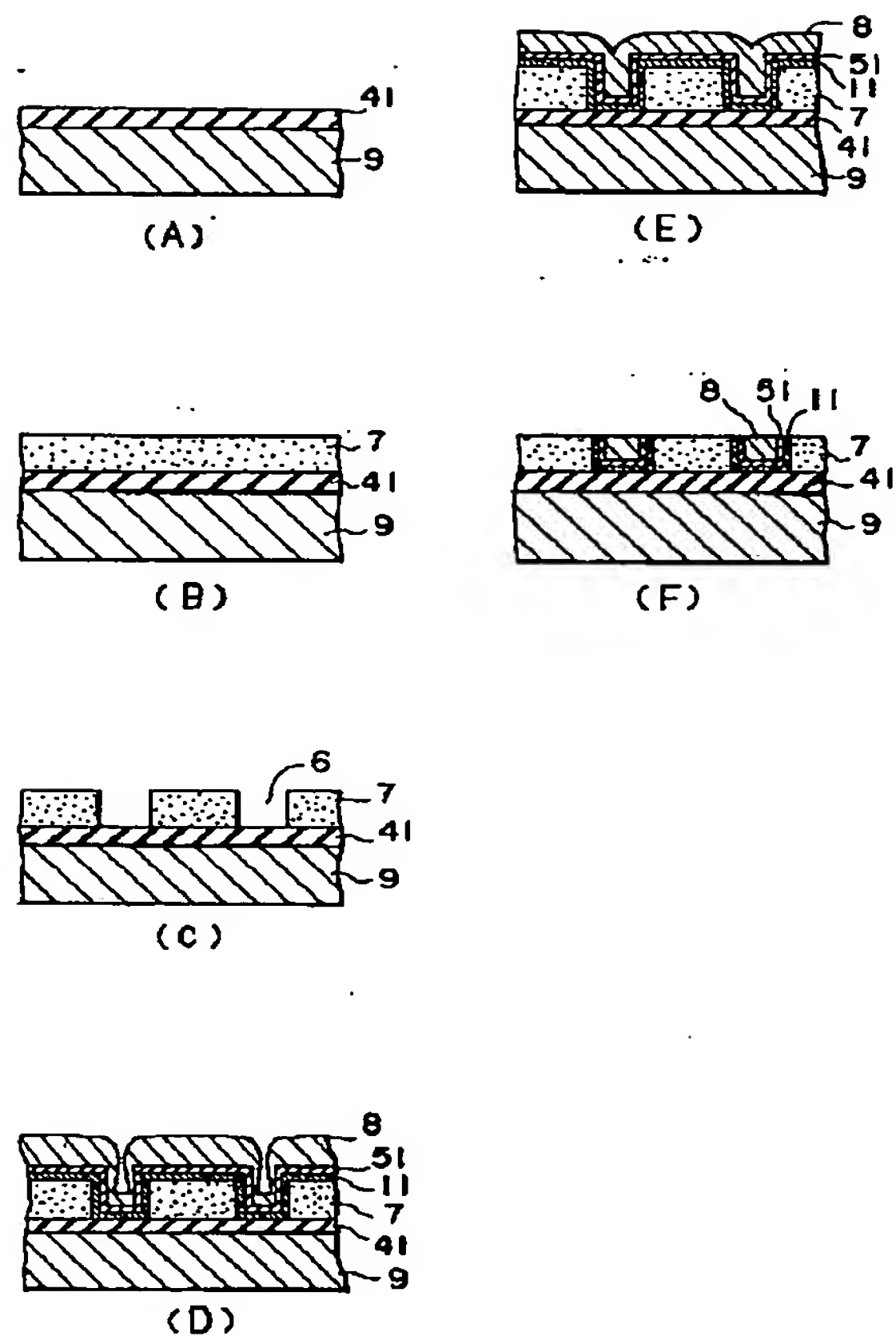


(C)

【図22】

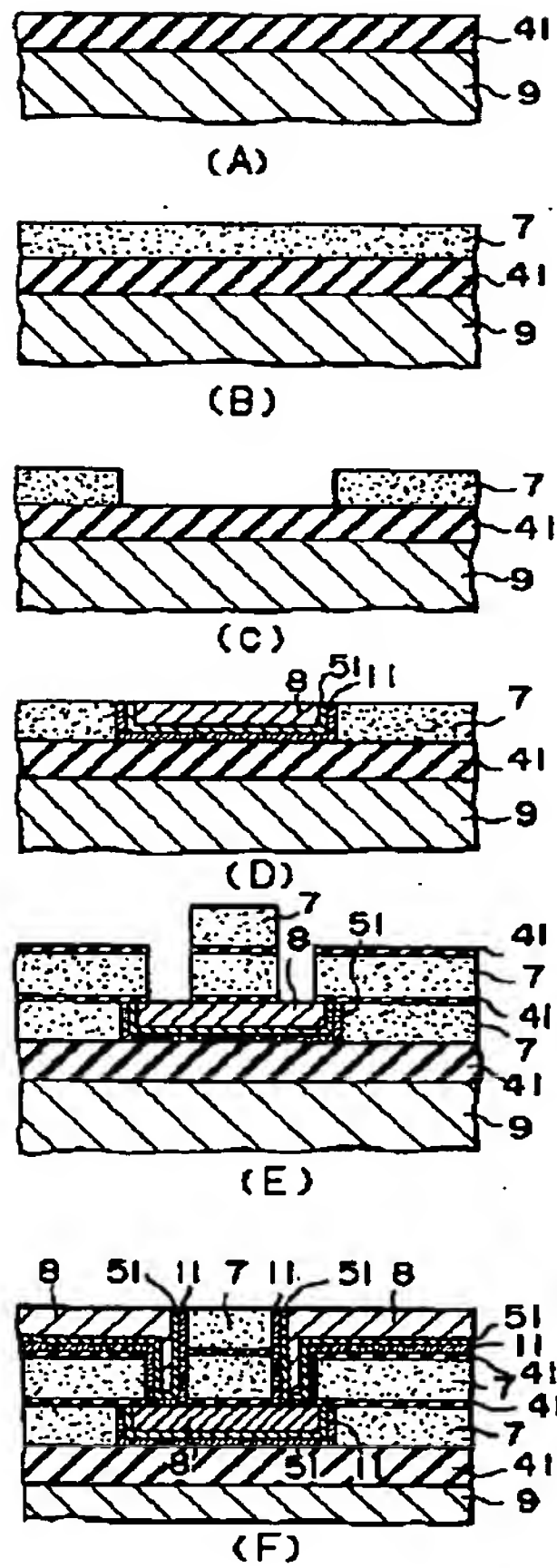


【図23】

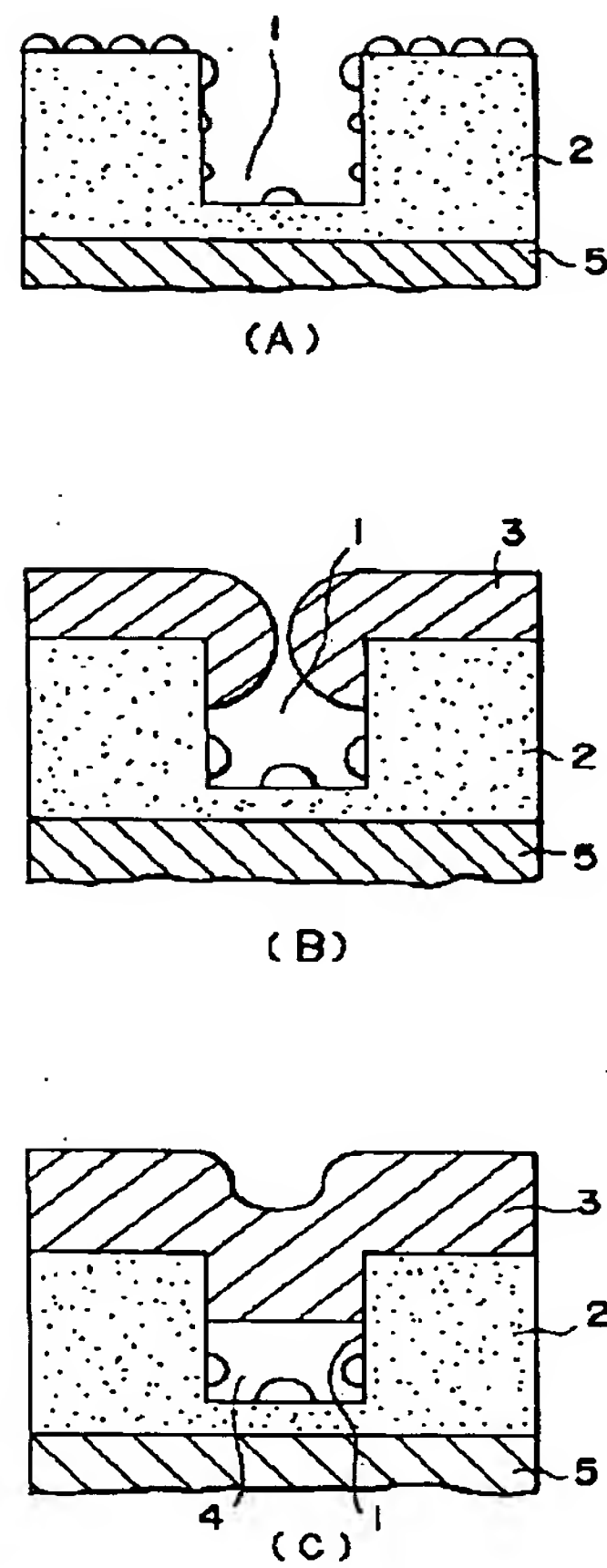




【図24】



【図27】



フロントページの続き

(72)発明者 金子 尚史  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 早坂 伸夫  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 堤 純誠  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 梶田 明広  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 和田 純一  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 岡野 晴雄  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**